

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
ПРИКАРПАТСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ  
ІМЕНІ ВАСИЛЯ СТЕФАНИКА**

Фізико-технічний факультет  
Кафедра комп'ютерної інженерії та електроніки

**СИЛАБУС НАВЧАЛЬНОЇ ДИСЦИПЛІНИ**

**Мови опису апаратних засобів (VHDL)**

Освітня програма   Комп'ютерна інженерія  
Галузь знань       12 Інформаційні технології  
Спеціальність     123 Комп'ютерна інженерія

Затверджено на засіданні кафедри  
Протокол № 1 від “30” серпня 2023 р.

## ЗМІСТ

1. Загальна інформація
2. Анотація до курсу
3. Мета та цілі курсу
4. Компетентності
5. Результати навчання
6. Організація навчання курсу
7. Система оцінювання курсу
8. Політика курсу
9. Рекомендована література

<b>1. Загальна інформація</b>	
<b>Назва дисципліни</b>	Мови опису апаратних засобів
<b>Рівень вищої освіти</b>	Перший рівень вищої освіти
<b>Викладач (-і)</b>	доцент, кандидат технічних наук Грига Володимир Михайлович
<b>Контактний телефон викладача</b>	0342596007
<b>Е-mail викладача</b>	<a href="mailto:volodymyr.gryga@pnu.edu.ua">volodymyr.gryga@pnu.edu.ua</a>
<b>Формат дисципліни</b>	Семестровий
<b>Обсяг дисципліни</b>	3 кредити
<b>Посилання на сайт дистанційного навчання</b>	<a href="http://www.d-learn.pu.if.ua/">http://www.d-learn.pu.if.ua/</a>
<b>Консультації</b>	відповідно до графіку індивідуальних консультацій, який розміщений на інформаційному стенді кафедри комп'ютерної інженерії та електроніки
<b>2. Анотація до курсу</b>	
<p>Дисципліна «Мови опису апаратних засобів» належить до переліку дисциплін вільного вибору за освітнім рівнем «бакалавр», що пропонуються в рамках циклу професійної та практичної підготовки студентів за освітньо-професійною програмою «Комп'ютерна інженерія». Вона забезпечує формування у студентів науково-дослідницьких і професійно-орієнтованих компетенцій. Предметом вивчення навчальної дисципліни є засвоєння основних принципів і методів проектування та моделювання компонентів комп'ютерних систем з використанням основних конструкцій мов опису апаратних засобів (VHDL).</p> <p>Силабус навчальної дисципліни «Мови опису апаратних засобів» складений відповідно до освітньо-професійної програми «Комп'ютерна інженерія» підготовки бакалаврів спеціальності 123 «Комп'ютерна інженерія».</p>	
<b>3. Мета та цілі курсу</b>	
<p><b>Мета:</b> вивчення студентами основ створення програмних моделей компонентів комп'ютерних систем з використанням мов опису апаратних засобів VHDL, засвоєння принципів опису поведінки систем на архітектурному та структурному рівнях, оволодіння методами автоматичного тестування та моделювання для вирішення спеціалізованих задач в галузі.</p> <p>У результаті вивчення навчальної дисципліни студент повинен</p> <p><b>знати:</b></p> <ul style="list-style-type: none"> <li>- класифікацію та сфери застосування мов опису апаратних засобів;</li> <li>- типи архітектурних описів, опис сигналів та інтерфейсу на мовах VHDL;</li> <li>- типи даних, вирази, оператори, константи та процеси у мовах VHDL;</li> <li>- опис поведінки системи;</li> <li>- множинні процеси у VHDL-архітектурі;</li> <li>- принципи логічного моделювання та синтезу.</li> </ul> <p><b>вміти:</b></p> <ul style="list-style-type: none"> <li>- проектувати та моделювати роботу простих цифрових компонентів з використанням інтегрованого середовища Active-HDL фірми Aldec;</li> <li>- моделювати інерційні та транспортні затримки часу і режим очікування в цифрових пристроях;</li> <li>- проектувати та моделювати елементи з пам'яттю;</li> <li>- проектувати і моделювати роботу ПЗП та ОЗП;</li> <li>- використовувати блок-діаграми для декомпозиції складних пристроїв.</li> </ul>	

4. Компетентності						
<b>Загальні компетентності</b>						
- ЗК1. Здатність до абстрактного мислення, аналізу та синтезу.						
- ЗК2. Здатність вчитися і оволодівати сучасними знаннями.						
<b>Спеціальні (фахові) компетентності</b>						
- СК2. Здатність використовувати сучасні методи і мови програмування для розроблення алгоритмічного та програмного забезпечення.						
5. Результати навчання						
РН2. Мати навички проведення експериментів, збирання даних та моделювання в комп'ютерних системах.						
РН7. Вміти розв'язувати задачі аналізу та синтезу засобів, характерних для спеціальності.						
6. Організація навчання курсу						
Обсяг курсу						
Вид заняття				Загальна кількість годин		
лекції				16		
семінарські заняття / практичні / <b>лабораторні</b>				14		
самостійна робота				60		
Ознаки курсу						
Семестр	Спеціальність	Курс (рік навчання)		Нормативний / вибірковий		
IV	123 Комп'ютерна інженерія	2		вибірковий		
Тематика курсу						
Тема, план		Форма заняття	Література	Кількість годин	Вага оцінки	Термін виконання
Змістовий модуль 1. Основи мови VHDL						
Тема 1. Класифікація, призначення та сфери застосування мов опису апаратних засобів.		лекція	1,2,4,7	1	2	Згідно розкладу
Тема 2. Представлення системи у VHDL: інтерфейси та архітектура, використання пакетів.		лекція	1,2,4-8	1	2	Згідно розкладу
Тема 3. Сигнали у VHDL та Verilog. Базові типи та декларування сигналів. Опис системного інтерфейсу. Оператори Port і Generic.		лекція	1,2,4-7	1	2	Згідно розкладу
Тема 4. VHDL та Verilog-конструкції для опису поведінки системи: нелогічні типи даних, вирази та оператори. Константи.		лекція	1-4,7-12	1	2	Згідно розкладу
Тема 5. Транспортні та інерційні затримки. Порівняння транспортних та інерційних затримок.		лекція	1-6,13,14	1	2	Згідно розкладу

Концепція дельта-затримок.					
Тема 6. Опис поведінки системи у VHDL: процеси, змінні, керування послідовністю виконання операторів.	лекція	1-8,19	1	2	Згідно розкладу
Тема 7. Множинні процеси у VHDL-архітектурі. Паралельність. Оператори присвоєння сигналів як спрощені процеси.	лекція	1-8,19	1	2	Згідно розкладу
Тема 8. Драйвера і атрибути сигналів. Багатозначна логіка.	лекція	1-8,19	1	2	Згідно розкладу
Модульний контроль 1			2		Згідно розкладу
<b>Змістовий модуль 2. Моделювання об'єктів на мові VHDL</b>					
Тема 9. Область видимості даних. Модулі і бібліотека проекту. Паралельні процеси.	лекція	1-8,13	1	2	Згідно розкладу
Тема 10. Опис структури системи у VHDL. Елементи структурного опису.	лекція	1-7,15	1	2	Згідно розкладу
Тема 11. Пряма реалізація інтерфейсів. Компоненти та конфігурації.	лекція	1-5,17	1	2	Згідно розкладу
Тема 12. Принципи логічного моделювання та синтезу. Тестування VHDL-проектів за допомогою тестових стендів.	лекція	1-6,18	1	2	Згідно розкладу
Тема 13. Способи HDL-опису простих компонентів. Реалізація комбінаційних схем та схем із пам'яттю. Модель блоку синхронної пам'яті.	лекція	1-6,18	1	2	Згідно розкладу
Тема 14. Принципи логічного моделювання та синтезу. Тестування VHDL-проектів за допомогою тестових стендів.	лекція	1-6,18	1	2	Згідно розкладу
Тема 15. Стратегія функціональної верифікації. Типи тестів. Макроси. RTL-опис.	лекція	1,4,9-14	1	2	Згідно розкладу
Тема 16. Структурна форма проекту. Оператори Component та Port Map.	лекція	1,4,9-14	1	2	Згідно розкладу
Модульний контроль 2			2		Згідно розкладу
<b>Лабораторні роботи</b>					

Тема 1. Реалізація комбінаційних схем з використанням мови VHDL їх компіляція та функціональна симуляція.	Лаб. робота	1-7,10	1	4	Згідно розкладу
Тема 2. Реалізація мультиплексорів та демультимплексорів з використанням мови VHDL їх компіляція та функціональна симуляція.	Лаб. робота	1-7,10	1	4	Згідно розкладу
Тема 3. Реалізація шифраторів та дешифраторів з використанням мови VHDL їх компіляція та функціональна симуляція.	Лаб. робота	1-7,11	1	4	Згідно розкладу
Тема 4. Реалізація схем порівняння з використанням мови VHDL їх компіляція та функціональна симуляція.	Лаб. робота	1,4,7	1	4	Згідно розкладу
Тема 5. Реалізація багатозрядних суматорів з використанням мови VHDL їх компіляція та функціональна симуляція.	Лаб. робота	1-7,12	2	4	Згідно розкладу
Тема 6. Реалізація різних видів тригерів з використанням мови VHDL їх компіляція та функціональна симуляція.	Лаб. робота	1-7,10	1	4	Згідно розкладу
Тема 7. Реалізація регістрів з використанням мови VHDL їх компіляція та функціональна симуляція.	Лаб. робота	1-7,15	1	4	Згідно розкладу
Тема 8. Реалізація лічильників з використанням мови VHDL їх компіляція та функціональна симуляція.	Лаб. робота	1-7,16	1	4	Згідно розкладу
Тема 9. Реалізація арифметико-логічного пристрою з використанням мови VHDL їх компіляція та функціональна симуляція.	Лаб. робота	11-7,13	2	4	Згідно розкладу
Тема 10. Реалізація постійного запам'ятовуючого пристрою з використанням мови VHDL його компіляція та функціональна симуляція.	Лаб. робота	1-7,17	1	6	Згідно розкладу
Тема 11. Реалізація оперативного запам'ятовуючого пристрою	Лаб. робота	1-7,17	1	6	Згідно розкладу

з використанням мови VHDL його компіляція та функціональна симуляція.					
Модульний контроль					
<b>Самостійна робота студентів</b>					
Тема 1. Класифікація, призначення та сфери застосування мов опису апаратних засобів.	Самостійна робота	5-12	4	2	Впродовж семестру
Тема 2. Представлення системи у VHDL: інтерфейси та архітектура, використання пакетів.	Самостійна робота	1-7	4	2	Впродовж семестру
Тема 3. Сигнали у VHDL та Verilog. Базові типи та декларування сигналів. Опис системного інтерфейсу. Оператори Port і Generic.	Самостійна робота	2-8	4	2	Впродовж семестру
Тема 4. VHDL та Verilog-конструкції для опису поведінки системи: нелогічні типи даних, вирази та оператори. Константи.	Самостійна робота	2,4,9	4	2	Впродовж семестру
Тема 5. Транспортні та інерційні затримки. Порівняння транспортних та інерційних затримок. Концепція дельта-затримок.	Самостійна робота	2,6,11	4	2	Впродовж семестру
Тема 6. Опис поведінки системи у VHDL: процеси, змінні, керування послідовністю виконання операторів.	Самостійна робота	6-9	4	2	Впродовж семестру
Тема 7. Множинні процеси у VHDL-архітектурі. Паралельність. Оператори присвоєння сигналів як спрощені процеси.	Самостійна робота	6-9	4	2	Впродовж семестру
Тема 8. Драйвера і атрибути сигналів. Багатозначна логіка.	Самостійна робота	6-9	4	2	Впродовж семестру
Контроль самостійної роботи			2		Згідно розкладу
Тема 9. Область видимості даних. Модулі і бібліотека проекту. Паралельні процеси.	Самостійна робота	5,7,9,18	4	2	Впродовж семестру
Тема 10. Опис структури системи у VHDL. Елементи структурного опису.	Самостійна робота	5,7,18	4	2	Впродовж семестру
Тема 11. Пряма реалізація інтерфейсів. Компоненти та	Самостійна	5,7,18	4	2	Впродовж семестру

конфігурації.	робота				
Тема 12. Принципи логічного моделювання та синтезу. Тестування VHDL-проектів за допомогою тестових стендів.	Само-стійна робота	4,5,7,16	4	2	Впродовж семестру
Тема 13. Способи HDL-опису простих компонентів. Реалізація комбінаційних схем та схем із пам'яттю. Модель блоку синхронної пам'яті.	Само-стійна робота	1-7,18	4	2	Впродовж семестру
Тема 14. Принципи логічного моделювання та синтезу. Тестування VHDL-проектів за допомогою тестових стендів.	Само-стійна робота	2-9,14	4	2	Впродовж семестру
Тема 15. Стратегія функціональної верифікації. Типи тестів. Макроси. RTL-опис.	Само-стійна робота	4-12,19	4	2	Впродовж семестру
Контроль самостійної роботи			2		Згідно розкладу
Підсумковий контроль (залік)				100	
<b>7. Система оцінювання курсу</b>					
Загальна система оцінювання курсу	<p><i>Поточний контроль</i> здійснюється під час проведення лекційних, лабораторних, індивідуальних занять і має на меті перевірку знань студентів з окремих тем навчальної дисципліни та рівня їх підготовленості до виконання конкретної роботи. Оцінки у національній шкалі («відмінно» - 5, «добре» - 4, «задовільно» - 3, «незадовільно» - 2), отримані студентами, виставляються у журналах обліку відвідування та успішності академічної групи.</p> <p><i>Модульний контроль (сума балів за окремий змістовий модуль)</i> проводиться (виставляється) на підставі оцінювання результатів знань студентів після вивчення матеріалу з логічно завершеної частини дисципліни – змістового модуля.</p> <p>Завданням модульного контролю є перевірка розуміння та засвоєння певного матеріалу (теми), вироблення навичок проведення розрахункових робіт, вміння вирішувати конкретні ситуативні задачі, самостійно опрацьовувати тексти, здатності осмислювати зміст даної частини дисципліни, уміння публічно чи письмово подати певний матеріал.</p> <p><i>Семестровий (підсумковий) контроль</i> проводиться у формі екзамену.</p> <p><i>Екзамен</i> – форма підсумкового контролю, яка передбачає перевірку розуміння студентом теоретичного та практичного програмного матеріалу з усієї дисципліни, здатності творчо використовувати здобуті знання та вміння, формувати власне ставлення до певної проблеми тощо.</p>				
	Сума балів за всі види	Оцінка ECTS	Оцінка за національною шкалою		
		для екзамену, курсового		для заліку	



	навчальної діяльності		проекту (роботи), практики	
	90 – 100	<b>A</b>	відмінно	зараховано
	80 – 89	<b>B</b>	добре	
	70 – 79	<b>C</b>		
	60 – 69	<b>D</b>	задовільно	
	50 – 59	<b>E</b>		
	26 – 49	<b>FX</b>	незадовільно з можливістю повторного складання	не зараховано з можливістю повторного складання
	0-25	<b>F</b>	незадовільно з обов'язковим повторним вивченням дисципліни	не зараховано з обов'язковим повторним вивченням дисципліни
Вимоги до письмової роботи	Підсумкова письмова робота виконується у формі тестових завдань з вибором правильної відповіді. Кількість тестових завдань – 25.			
Лабораторні заняття	<p>Після узагальнення (вступного слова) викладач дає відповіді на окремі теоретичні запитання, які виникли в студентів у процесі підготовки до заняття. Зазвичай з кожної теми лекційного курсу на практичні заняття виносять індивідуалізовані теми комплексного характеру, які дають змогу студенту ширше застосувати здобуті знання та підготуватися до самостійного виконання домашнього завдання.</p> <p>Для перевірки рівня засвоєння навчального матеріалу студенти виконують тестові завдання.</p> <p>До початку лабораторної роботи студент має отримати допуск на основі усної співбесіди. На лабораторній роботі кожен студент отримує інструкцію до виконання. Після завершення роботи студент оформляє і захищає звіт з результатами роботи.</p>			
Умови допуску до підсумкового контролю	<p>Студент допускається до складання екзамену, якщо впродовж семестру він за змістові модулі набрав сумарно 25 балів і вище.</p> <p>Студент не допускається до складання екзамену, якщо впродовж семестру він за змістові модулі набрав менше 25 балів. У цьому випадку студенту у відомості робиться запис "не допущений" і виставляється набрана кількість балів. Допускається, як виняток, з дозволу декана факультету за заявою, погодженою з відповідною кафедрою, одноразове виконання студентом додаткових видів робіт з навчальної дисципліни (відпрацювання пропущених занять, перескладання змістових модулів, виконання індивідуальних завдань тощо) для підвищення оцінок за змістові модулі.</p> <p>Напередодні екзамену викладач подає доповідну декану про недопуск студентів академічної групи (груп). Відмітка про недопуск у відомості робиться при наявності розпорядження декана.</p>			
<b>8. Політика курсу</b>				
Студент зобов'язаний відвідувати заняття відповідно до встановленого розкладу, не запізнюватися, мати відповідний зовнішній вигляд. У разі відсутності через хворобу надається відповідна довідка.				

Пропущена лекція відпрацьовується студентом самостійно, як короткий конспект за темою заняття.

Пропущена лабораторна робота виконується студентом самостійно вдома або в комп'ютерному класі, результати оцінюються викладачем.

У випадку, коли студент приймав участь у програмі мобільності, можливе врахування отриманих оцінок в іншому навчальному закладі за умови відповідності навчальних планів.

#### **Політика академічної поведінки і етики**

Студент повинен бути толерантним і поважати думку інших.

Заперечення повинні формулюватися тільки в коректній формі.

Плагіат та академічна недоброчесність несумісні з принципами діяльності ВНЗ.

Не допускається підказування та списування під час здачі будь-яких робіт поточного, рубіжного чи підсумкового контролю.

Не допускається користування телефонами та будь-якими іншими електронними засобами під час здачі будь-яких робіт поточного, рубіжного, чи підсумкового контролю.

### **9. Рекомендована література**

#### **Базова**

1. David Harris, Sarah Harris, Digital Design and Computer Architecture , Second Edition – 2013 Elsevier Ink.
2. А.О. Мельник, В.А. Мельник Персональні суперкомп'ютери: архітектура, проектування, застосування: монографія. – Львів: Видавництво Львівської політехніки, 2013. – 516 с.
3. Мельник А.О., Мельник В.А., Глухов В.С., Сало А.М. Кіберфізичні системи: багаторівнева організація та проектування. – Магнолія, 2023. – 238 с.
4. Николайчук Я.М., Грига В.М., Заставний О.М. Високопродуктивний синхронізований матричний процесор множення АЛП суперкомп'ютерів / Науковий збірник “Фізико-математичне моделювання та інформаційні технології”, НАН України, Інститут прикладних проблем механіки і математики ім. Я. С. Підстригача НАН України, Львів, Україна, 2023. Випуск 37., С. 42-46..
5. Б.Г. Масловський В.І. Дровозов О.В. Коба Технології проектування комп'ютерних систем. – Київ: НАУ, 2015. – 500 с.
6. Gokha le M.B. Reconfigurable Computing: Accelerating Computation with Field-Programmable Gate Arrays/ M.B. Gokha le, P.S. Graham, Springer, 2005.
7. Аврунін О.Г. Основи мови VHDL для проектування цифрових пристроїв на ПЛІС: навч. пос. / О. Г. Аврунін, Т. В. Носова, В. В. Семенець. – Харків : ХНУРЕ, 2018. – 196 с.
8. Спеціалізовані комп'ютерні технології в інформатиці / Возна Н.Я., Круліковський Б.Б., Николайчук Я.М., Грига В.М., Піх В.Я., Гринчишин Т.М., Давлетова А.Я., Волинський О.М., Албанський І.І., Івасєв С.І., Якименко І., Яцків В.В., та інші: Монографія / за загальною редакцією Я.М. Николайчука. – Тернопіль: “Бескиди”, 2017. – 913 с.
9. Kalyaev A.V., Kalyaev I.A. STORC-Computer – a Multiprocessor Computer System with Structure Organized Calculation // Engineering Simulation Association. Vol. 10. Amsterdam, Netherlands. Gordon and Breach Science Publishers, 1997. – P. 505-520.
10. Novillo Carmine. Mastering STM32 Leanpub, 2018. 852 p.
11. Geoffrey Brown. Discovering the STM32 Microcontroller. USA, 2016. 244p.
- 12 Y. Nykolaychuk, V.Hryha , N.Vozna , I.Pituhk, L.Hryha High-Performance Components of Hardware Multi-Bit Specific Processors for the Addition and Multiplication of Binary Numbers // International Scientific Journal “Computer Systems and Information Technologies”, 2023, ХНУ, №2 С.25-32 .

13. Грига В.М., Мельничук С.І., Мануляк І.З., Павлюк М.Ф., Гуменицький М.Б., Павлишин А. Реалізація реконфігуровного пристрою на ПЛІС // Матеріали міжнародної науково-практичної конференції “Інформаційні технології та комп’ютерне моделювання” –Івано-Франківськ, 5-8 липня 2023р, Україна – С. 146-149.

**Викладач**



**Грига В.М.**