

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
«ПРИКАРПАТСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
ІМЕНІ ВАСИЛЯ СТЕФАНІКА»**

Фізико-технічний факультет
Кафедра комп'ютерної інженерії та електроніки

**СИЛАБУС НАВЧАЛЬНОЇ ДИСЦИПЛІНИ
Дослідження і проектування цифрових систем на Verilog**

Освітня програма «Комп'ютерна інженерія»
Спеціальність 123 - Комп'ютерна інженерія
Галузь знань 12 - Інформаційні технології

Затверджено на засіданні кафедри
Протокол № 12 від 30 червня 2023 р.

Івано-Франківськ – 2023 рік

ЗМІСТ

1. Загальна інформація
2. Анотація до курсу
3. Мета та цілі курсу
4. Компетентності
5. Результати навчання
6. Організація навчання курсу
7. Система оцінювання курсу
8. Політика курсу
9. Рекомендована література

1. Загальна інформація	
Назва дисципліни	Дослідження і проектування цифрових систем на Verilog
Рівень вищої освіти	Другий рівень вищої освіти
Викладач (-і)	Доцент, кандидат технічних наук Голота Віктор Іванович
Контактний телефон викладача	0342596007
Е-mail викладача	victor.holota@pnu.edu.ua
Формат дисципліни	Семестровий
Обсяг дисципліни	6 кредитів
Посилання на сайт дистанційного навчання	http://www.d-learn.pu.if.ua/
Консультації	Відповідно до графіку індивідуальних консультацій, який розміщений на інформаційному стенді кафедри комп'ютерної інженерії та електроніки
2. Анотація до курсу	
<p>Дисципліна «Дослідження і проектування цифрових систем на Verilog» належить до переліку вибіркових навчальних дисциплін за освітнім рівнем «магістр», що пропонуються в рамках циклу професійної підготовки студентів за освітньою програмою «Комп'ютерна інженерія» на першому році навчання. Вона забезпечує формування у студентів науково-дослідницьких професійно-орієнтованих компетенцій. Предметом вивчення навчальної дисципліни є дослідження і проектування функціональних блоків цифрових систем з використанням мови опису апаратури Verilog.</p> <p>Силабус навчальної дисципліни «Дослідження і проектування цифрових систем на Verilog» складений відповідно до освітньо-професійної програми «Комп'ютерна інженерія» підготовки магістрів спеціальності 123 Комп'ютерна інженерія</p>	
3. Мета та цілі курсу	
<p>Мета: формування у студентів сучасних теоретичних уявлень та практичних знань з дослідження та проектування цифрових пристроїв на ПЛІС Xilinx з використанням мови опису апаратури Verilog, розуміння синтаксису та правила опису моделей цифрових схем на мові Verilog, розуміння функціонального і структурного опису цифрових схем, здатність створювати і досліджувати моделі цифрових пристроїв комбінаційного, послідовнісного типу та автоматів з пам'яттю; підготовка студентів у галузі дослідження та проектування цифрових систем на ПЛІС.</p> <p>Завдання: вивчення архітектури та схемотехніки ПЛІС, мови опису апаратури Verilog, принципів, методології та методів побудови цифрових систем на ПЛІС, методів та засобів для розроблення і налагодження цифрових систем на ПЛІС, програмних та апаратних засобів програмування ПЛІС.</p> <p>У результаті вивчення навчальної дисципліни студент повинен</p> <p>знати:</p> <ul style="list-style-type: none"> - основні типи ПЛІС, їх архітектуру та схемотехніку; - принципи, методологію та методику побудови цифрових систем на ПЛІС; - інтегровані середовища розроблення для ПЛІС фірми Xilinx; - мову опису апаратури Verilog; - програмні і апаратні засоби програмування ПЛІС. <p>вміти:</p> <ul style="list-style-type: none"> - розробляти та налагоджувати комбінаційні і послідовнісні схеми логіки, автомати з пам'яттю на мові Verilog для ПЛІС Xilinx у середовищі Vivado; - синтезувати структурні і інтерфейсні моделі пристроїв; - розробляти структурні і поведінкові моделі модулів. - налагоджувати проекти з використанням плати NEXSYS4; 	

- створювати тестуючі модулі і моделювати роботу цифрового пристрою в системі Active-HDL.

4. Компетентності

Інтегральна компетентність

Здатність розв'язувати складні задачі і проблеми в галузі комп'ютерної інженерії або у процесі навчання, що передбачає проведення досліджень та/або здійснення інновацій та характеризується невизначеністю умов і вимог.

Спеціальні (фахові) компетентності

Здатність до визначення технічних характеристик, конструктивних особливостей, застосування і експлуатації програмних, програмно-технічних засобів, комп'ютерних систем та мереж різного призначення.

Здатність обирати ефективні системи автоматизованого проектування КС, здійснювати проектування ІС, мікросистем на кристалі, програмування ПЛІС.

5. Результати навчання

Вміти працювати у складі колективу (групи) дослідників та розробників, координувати дії та результати, відповідати за вчасне, якісне та ефективне виконання розділів та етапів роботи.

Програмувати ПЛІС. Працювати з програмним забезпеченням сучасних САПР.

Конструювати, виготовляти і тестувати макети дослідних зразків інформаційно-вимірювальних та комп'ютерних систем, оформляти проектно конструкторську документацію.

5. Організація навчання курсу

Обсяг курсу

Вид заняття	Загальна кількість годин
лекції	30
семінарські заняття / практичні / <u>лабораторні</u>	30
самостійна робота	120

Ознаки курсу

Семестр	Спеціальність	Курс (рік навчання)	Нормативний / вибірковий
II	123 Комп'ютерна інженерія	I	вибірковий

Тематика курсу

Тема, план	Форма заняття	Літера- тура	Кіль- кість годин	Вага оцінки	Термін виконання
------------	------------------	-----------------	-------------------------	----------------	---------------------

Змістовий модуль 1. Мова Verilog та правила опису моделей цифрових пристроїв

Тема 1. Архітектура ПЛІС.	лекція	1-10	2	2	Згідно розкладу
Тема 2. Лексичні елементи і типи даних мови Verilog.	лекція	1-10	2	2	Згідно розкладу
Тема 3. Оператори і вирази мови Verilog.	лекція	1-10	2	2	Згідно розкладу
Тема 4. Команди виведення результатів.	лекція	1-10	2	2	Згідно розкладу
Тема 5. Структурне моделювання.	лекція	1-10	2	2	Згідно розкладу
Тема 6. Процедурне моделювання	лекція	1-10	2	2	Згідно розкладу
Модульний контроль 1			2		Згідно розкладу

Змістовий модуль 2. Розроблення та тестування моделей цифрових пристроїв

Тема 7. Інструкції вибору умов і циклів	лекція	1-10	2	2	Згідно розкладу
Тема 8. Завдання і функції	лекція	1-10	2	2	Згідно розкладу
Тема 9. Цифрові автомати станів	лекція	1-10	2	2	Згідно розкладу
Тема 10. Додаткові можливості процедурного моделювання	лекція	1-10	2	2	Згідно розкладу
Тема 11. Цифрові автомати станів	лекція	1-10	2	2	Згідно розкладу
Тема 12. Простий процесорний блок	лекція	1-10	4	2	Згідно розкладу
Модульний контроль 2			2		Згідно розкладу
Лабораторні роботи					
1. Середовище ModelSim, Active HDL	лаб. робота	11,12	2	2	Згідно розкладу
2. Типи даних і структура мови Verilog	лаб. робота	1-10	2	2	Згідно розкладу
3. Оператори мови Verilog	лаб. робота	1-10	2	2	Згідно розкладу
4. Реалізація типових комбінаційних пристроїв	лаб. робота	1-10	2	2	Згідно розкладу
5. Послідовнісні логічні пристрої	лаб. робота	1-10	2	2	Згідно розкладу
6. Затримки, модулі, блоки і призначення	лаб. робота	1-10	2	2	Згідно розкладу
7. Дослідження арифметичних пристроїв	лаб. робота	1-10,19	2	2	Згідно розкладу
8. Дослідження скінчених автоматів.	лаб. робота	1-10,19	2	2	Згідно розкладу
9. Дослідження багатофункціональних пристроїв.	лаб. робота	1-10,19	2	2	Згідно розкладу
10. Проектування простого процесорного модуля	лаб. робота	1-10,19	2	2	Згідно розкладу
11. Створення проекту у Vivado (плата Nexys4)		14	2	2	Згідно розкладу
12. Синтез RTL проекту		1-10,14	4	2	Згідно розкладу
13. Реалізація проекту		1-10,14	4	2	Згідно розкладу
Самостійна робота студентів					
Тема 1. Особливості реалізації синхронних цифрових пристроїв	само-стійна робота	1-10	15	6	Впродовж семестру
Тема 2. Методологія тестування функціональної коректності цифрових пристроїв	само-стійна робота	1-10	15	6	Впродовж семестру
Тема 3. Особливості створення цифрового пристрою конвеєрного типу	само-стійна робота	1-10	15	8	Впродовж семестру

Тема 4. Часові характеристики цифрових пристроїв	само- стійна робота	1-10	15	8	Впродовж семестру
Контроль самостійної роботи			2		Згідно розкладу
Тема 5. Схеми виділення фронтів та формування імпульсів	само- стійна робота	1-10	15	8	Впродовж семестру
Тема 6. Проектування цифрових пристроїв на рівні регістрових передач	само- стійна робота	1-10, 13-18	15	8	Впродовж семестру
Тема 7. Проектування пам'яті цифрових пристроїв	само- стійна робота	1-10, 13-18	15	8	Впродовж семестру
Тема 8. Тестування цифрових логічних схем	само- стійна робота	1-10, 13-18	15	8	Впродовж семестру
Контроль самостійної роботи			2		Згідно розкладу
Підсумковий контроль (екзамен)				50	
6. Система оцінювання курсу					
Загальна система оцінювання курсу	<p><i>Поточний контроль</i> здійснюється під час проведення лекційних, лабораторних, індивідуальних занять і має на меті перевірку знань студентів з окремих тем навчальної дисципліни та рівня їх підготовленості до виконання конкретної роботи. Оцінки у національній шкалі («відмінно» - 5, «добре» - 4, «задовільно» - 3, «незадовільно» - 2), отримані студентами, виставляються у журналах обліку відвідування та успішності академічної групи.</p> <p><i>Модульний контроль</i> (сума балів за окремих змістовий модуль) проводиться (виставляється) на підставі оцінювання результатів знань студентів після вивчення матеріалу з логічно завершеної частини дисципліни – змістового модуля.</p> <p>Завданням модульного контролю є перевірка розуміння та засвоєння певного матеріалу (теми), вироблення навичок проведення розрахункових робіт, вміння вирішувати конкретні ситуативні задачі, самостійно опрацьовувати тексти, здатності осмислювати зміст даної частини дисципліни, уміння публічно чи письмово подати певний матеріал.</p> <p><i>Семестровий (підсумковий) контроль</i> проводиться у формі екзамену.</p> <p><i>Залік</i> – форма підсумкового контролю, яка передбачає перевірку розуміння студентом теоретичного та практичного програмного матеріалу з усієї дисципліни, здатності творчо використовувати здобуті знання та вміння, формувати власне ставлення до певної проблеми тощо.</p>				
	Сума балів за всі види навчальної діяльності	Оцінка ECTS	Оцінка за національною шкалою		
		для екзамену, курсового проєкту	для у		

		(роботи), практики	
	90 – 100	A	відмінно
	80 – 89	B	добре
	70 – 79	C	
	60 – 69	D	задовільно
	50 – 59	E	
	26 – 49	FX	незадовільно з можливістю повторного складання
	0-25	F	незадовільно з обов'язковим повторним вивченням дисципліни
Вимоги до письмової роботи	Підсумкова письмова робота виконується у формі тестових завдань з вибором правильної відповіді. Кількість тестових завдань – 25.		
Практичні/лабораторні заняття	<p>Після узагальнення (вступного слова) викладач дає відповіді на окремі теоретичні запитання, які виникли в студентів у процесі підготовки до заняття. Зазвичай з кожної теми лекційного курсу на практичні заняття виносять індивідуалізовані теми комплексного характеру, які дають змогу студенту ширше застосувати здобуті знання та підготуватися до самостійного виконання домашнього завдання.</p> <p>Для перевірки рівня засвоєння навчального матеріалу студенти виконують тестові завдання.</p> <p>До початку лабораторної роботи студент має отримати допуск на основі усної співбесіди. На лабораторній роботі кожен студент отримує інструкцію до виконання. Після завершення роботи студент оформляє і захищає звіт з результатами роботи.</p>		
Умови допуску до підсумкового контролю	<p>Студент допускається до складання заліку, якщо впродовж семестру він за змістові модулі набрав сумарно 25 балів і вище.</p> <p>Студент не допускається до складання заліку, якщо впродовж семестру він за змістові модулі набрав менше 25 балів. У цьому випадку студенту у відомості робиться запис "не допущений" і виставляється набрана кількість балів. Допускається, як виняток, з дозволу декана факультету за заявою, погодженою з відповідною кафедрою, одноразове виконання студентом додаткових видів робіт з навчальної дисципліни (відпрацювання пропущених занять, перескладання змістових модулів, виконання індивідуальних завдань тощо) для підвищення оцінок за змістові модулі.</p> <p>Напередодні заліку викладач подає доповідну декану про недопуск студентів академічної групи (груп). Відмітка про недопуск у відомості робиться при наявності розпорядження декана.</p>		
7. Політика курсу			
Студент зобов'язаний відвідувати заняття відповідно до встановленого розкладу, не			

запізнюватися, мати відповідний зовнішній вигляд. У разі відсутності через хворобу надається відповідна довідка.

Пропущена лекція відпрацьовується студентом самостійно, як короткий конспект за темою заняття.

Пропущена лабораторна робота виконується студентом самостійно вдома або в комп'ютерному класі, результати оцінюються викладачем.

У випадку, коли студент приймав участь у програмі мобільності, можливе врахування отриманих оцінок в іншому навчальному закладі за умови відповідності навчальних планів.

Політика академічної поведінки і етики

Студент повинен бути толерантним і поважати думку інших.

Заперечення повинні формулюватися тільки в коректній формі.

Плагіат та академічна недоброчесність несумісні з принципами діяльності ВНЗ.

Не допускається підказування та списування під час здачі будь-яких робіт поточного, рубіжного чи підсумкового контролю.

Не допускається користування телефонами та будь-якими іншими електронними засобами під час здачі будь-яких робіт поточного, рубіжного, чи підсумкового контролю.

8. Рекомендована література

Базова

1. Ратушний, П. М. ПЛІС та їх програмування : лабораторний практикум / Ратушний П. М., Жагловська О. М., Огородник К. В. – Вінниця : ВНТУ, 2018. – 57 с.

2. Опис та симуляція моделей цифрових пристроїв на Verilog : Метод. вказівки до викон. розрахунково-графічної роботи для студ. спец. «Радіоелектронні апарати та засоби», «Інтелектуальні технології мікросистемної радіоелектронної техніки», «Біотехнічні та медичні апарати і системи» / Уклад.: В.С. Мосійчук. – К. : НТУУ «КПІ», 2012. – 35 с.

3. Аркадій Поляков. Мови VHDL і VERILOG в проектуванні цифрової апаратури. – Солон Прес., 2009. – 320.

4. Рябенський В. М. VERILOG. Практика проектування цифрових пристроїв на ПЛІС : Навч. посіб. / В.М. Рябенський, О.О. Ушкаренко ; Нац. ун-т кораблебудування ім. адм. Макарова. – Миколаїв : Іліон, 2007. – 324 с

Додаткова

5. Brown, Stephen. Fundamentals of digital logic with Verilog design / Stephen Brown and Zvonko Vranesic. – 3th ed. – McGraw-Hill, 2014. – 847 p.

6. Bala Tripura Sundari T.R. Padmanabhan. Design through Verilog HDL. – Wiley, 2008. – 472 p.

7. Ciletti M. D. Advanced Digital Design with the Verilog HDL / M.D. Ciletti. – Prentice Hall, 2005. – 982 p.

8. M. Morris Mano, Michael D. Ciletti. Digital Design With An Introduction in the Verilog HDL. – 5 th ed. – Pearson ed. – 2004. – 547 p.

9. Samir Palnitkar. Verilog Hdl: A Guide to Digital Design and Synthesis Subsequent Edition. – Prentice Hall, 2003. – 448 p.

10. Donald E. Thomas, Philip R. Moorby. The Verilog Hardware Description Language. – 4th

ed., – Cluwer Academic Publisher, 2002. – 381 p.

Інформаційні ресурси

11. Мова опису апаратури Verilog: [Електронний ресурс]: навч. посіб. для студ. спеціальності 172 «Телекомунікації та радіотехніка», спеціалізації «Інформаційно-обчислювальні засоби електронних систем» / КПІ ім. Ігоря Сікорського ; уклад.: О. І. Антонюк, Д. Ю. Лебедев. – Електронні текстові дані (1 файл, 2,657Мбайт). – Київ : КПІ ім. Ігоря Сікорського, 2018. – 59 с.

12. ModelSim [електронний ресурс] – режим доступу
<https://eda.sw.siemens.com/en-US/ic/modelsim/>

13. Free Active-HDL Student Edition [електронний ресурс] – режим доступу
https://www.aldec.com/en/products/fpga_simulation/active_hdl_student

14. Сайт фірми Xilinx [електронний ресурс] – режим доступу <https://www.xilinx.com>

15. Сайт фірми Aldec [електронний ресурс] – режим доступу <https://www.aldec.com>

16. Online Verilog [електронний ресурс] – режим доступу <https://www.tutorialspoint.com>

17. Online Verilog [електронний ресурс] – режим доступу <https://edaplayground.com>

18. Online Verilog [електронний ресурс] – режим доступу <http://www.techep.csi.cuny.edu>

19. Online курси Verilog [електронний ресурс] – режим доступу <https://www.coursera.org/>

Викладач



Голота В.І.