

Лабораторна робота №1

Інтерфейс Microwind

Мета роботи: вивчення інтерфесу Microwind для проектування топології ІС

1. Теоретичні відомості

1.1. Інтерфейс Microwind

Система автоматизованого проектування Microwind включає набір інструментів для проектування інтегральних схем (ІС), включаючи моделювання. Пакет містить топології стандартних цифрових і аналогових пристроїв, які можуть бути включені в комплексні проекти. Microwind - це інтегроване рішення для двовимірної і тривимірної візуалізації технологічного процесу, опису ІС на мові високого рівня Verilog, побудови та верифікації топології ІС з різними проектним нормам. Простота реалізації інтерфейсу системи моделювання дозволяє отримувати всі потрібні результати за допомогою невеликого числа команд, що в значній мірі підвищує ефективність проектування

Оскільки основний обсяг роботи, що виконується за допомогою САПР Microwind, приходиться на побудову і редагування топології проектованого пристрою, далі послідовно розглянуті інтерфейс топологічного редактора і методика проектування цифрових пристроїв.

Інтерфейс Microwind представлений основним вікном і вікном палітри, наведеними на рис. 1.

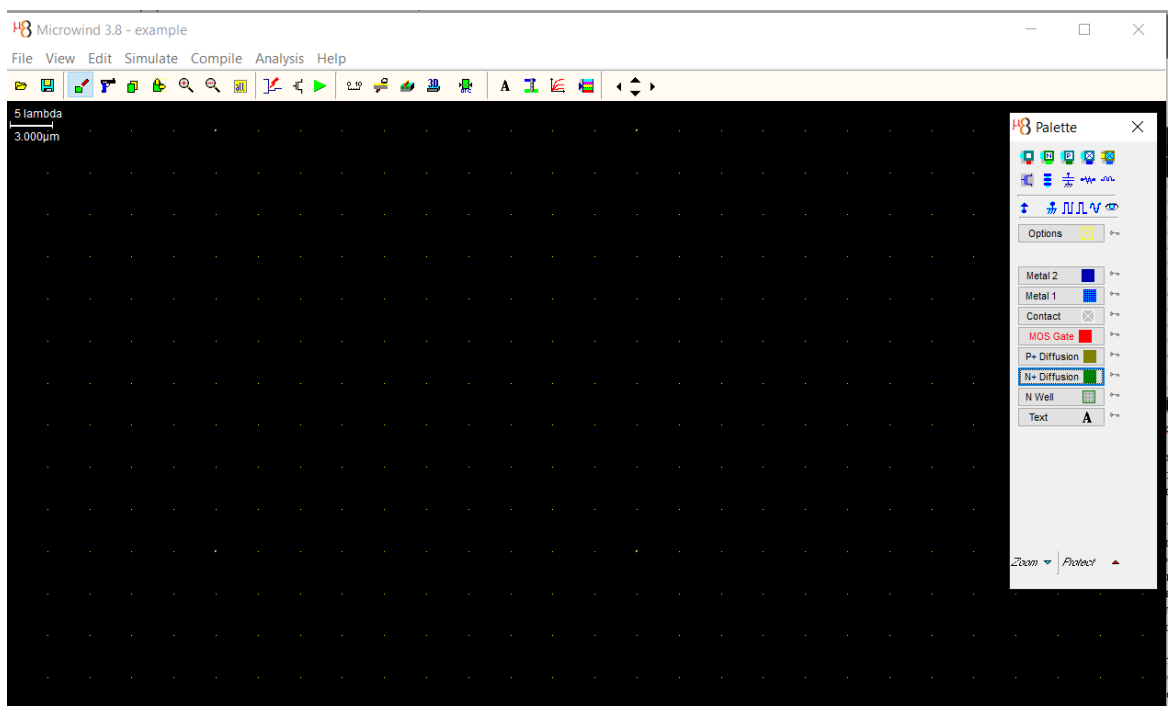


Рисунок 1 – Графічний інтерфейс Microwind

Елементи управління розділені на дві групи. Перша група - це команди, доступ до яких здійснюється через випадають меню: File, View, Edit, Simulate, Compile, Analysis, Help. Друга група - це піктограми, розміщені на панелі інструментів і палітрі. Деякі операції можуть бути представлені як командами (Simulate>RunSimulation), так і піктограмами (►). Таким чином, частина піктограм дублює команди, однак доступ до деяких функцій САПР здійснюється тільки за допомогою піктограм

Існують також функції, отримати доступ до яких можна тільки за допомогою команд (Compile>CompileVerilogFile).

Програма Microwind надає можливість псевдотрьохмірної (3D) візуалізації-технологій технологічного процесу з виготовлення інтегральної схеми. Для того, щоб переключити чи запустити систему в 3D-режимі, слід активувати піктограму. *NextStep* і *PreviousStep* дозволять вивчити послідовність технологічних операцій, потрібні для створення розробленого пристрою.

Одною з найбільш важливих функцій є перевірка проектних норм. Активуючи піктограму, можна отримати повідомлення про помилки та рекомендації за їх виправленням. Підсистема аналізу генерує повідомлення, вказуючи на зовнішні правила, що відносяться до синього розташування меж топологічних областей, розташованих у різних проектних шарах. Після цього перевіряємо проектних норм, які доводиться виробляти після кожної дії, внесеної в топологію іншими командами.

1.2. Побудова топології і схемотехнічне моделювання МОП транзисторів

На рис. 2, а представлена топологія *n*-канального транзистора із зазначеними в відносних одиницях λ характеристичними розмірами. Побудова топології здійснюється в чотири етапи:

- формування полікремнієвого затвора;
- формування стік-витік областей;
- формування металевих контактних майданчиків;
- формування контактних вікон.

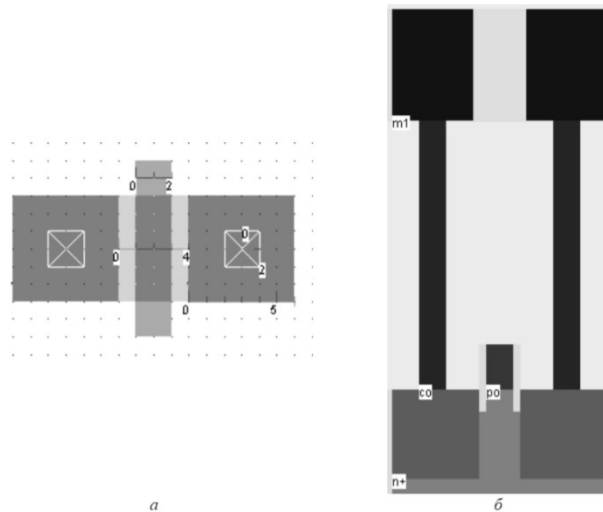


Рис. 2 Топологія n-канального МОН транзистора

Для того, щоб побудувати полікремнієвий затвор, необхідно активувати шар полікремнію (Polysilicon), натиснувши відповідну кнопку на палітрі, і в активній області топологічного редактора позначити прямокутник з розмірами 2λ по горизонталі і 10λ по вертикалі. Довжина затвора визначає довжину каналу транзистора і, якщо не сказано інше, повинна бути мінімальною з метою підвищення швидкодії. Мінімальний топологічний розмір для шару полікремнію обмежений значенням 2λ . Після побудови слід перевірити правильність дотримання проектних норм.

На наступному кроці необхідно побудувати області стоку і витoku. Для цього необхідно активувати шар n-типу (*N+ Diffusion*) і створити прямокутну область з розмірами 16λ по горизонталі і 6λ по вертикалі так, щоб центр області збігався з центром.

Практична частина

Завдання.

1. Вивчити графічне середовище Microwind.
2. Навчитися створювати дифузійні області n- і p-типу.
3. Навчитися створювати полікремнієві шари та шари металізації.
4. Спроекувати МОН транзистор n-типу.
5. Спроекувати МОН транзистор p-типу.

Варіанти завдань.

№	Ширина каналу, W, мкм	Довжина каналу, мкм	Тип МОН
1	1	10	n
2	2	9	p
3	3	8	n
4	4	7	p
5	5	6	n
6	6	5	p

7	7	4	n
8	8	3	p
9	9	2	n
10	10	1	p

Лабораторна робота №2

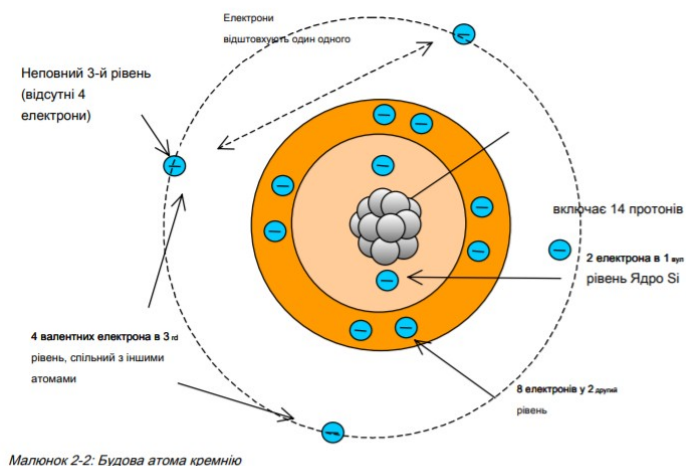
Пристрої МОП та технології

Мета: Дослідження пристроїв МОН та їх конструкторських характеристик

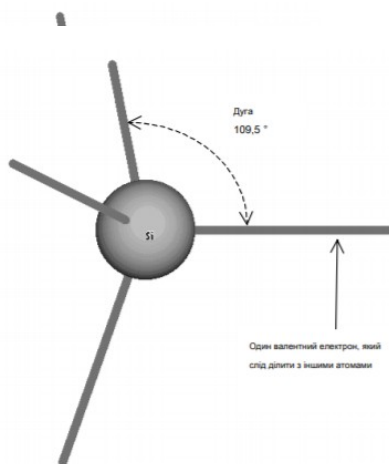
1. Теоретичні відомості

1.1. Властивості кремнію

Атом кремнію має 14 електронів, 2 електрона, розташовані на першому енергетичному рівні, 8 на другому і 4 на третьому. Чотири електрони на третьому енергетичному рівні називаються валентними електронами, які поділяються з іншими атомами



Малюнок 2-2: Будова атома кремнію



Атом кремнію має 4 валентних електронів, які прагнуть відштовхувати один одного. 3 рівень складається з 8 електронів. Чотири відсутні електрони діляться з іншими атомами. Положення електронів, що мінімізує взаємне відштовхування, показано на малюнку 2: кожен валентний електрон представлений лінією з кутом $109,5^\circ$. Для того, щоб завершити свою валентну

оболонку, атом кремнію має тенденцію ділити свої валентні електрони з 4 іншими електронами парами. Кожна лінія між атомами Si на малюнку 2

Кремнієва решітка має особливі властивості з точки зору розташування атомів. Структура повторюється нескінченно у всіх напрямках, щоб утворити кремнієву підкладку, що використовується для проектування інтегральної схеми. Чистий кристал кремнію механічно дуже міцний і твердий, а електрично дуже поганий провідник, оскільки всі валентні електрони поділяються всередині структури. Атомна щільність кремнієвого кристала становить приблизно 5×10^{22} атомів на кубічний сантиметр (см^{-3})

Однак випадкова вібрація кремнієвої решітки внаслідок термічного збудження може передавати достатню кількість енергії в деяку валентність електронів, щоб вони залишили своє положення. Електрон вільно рухається всередині решітки і, таким чином, бере участь у проведенні електрики. Нестача електрона називається діркою. Ось чому кремній не є ізолятором, ані хорошим провідником. Його називають напівпровідником через проміжні електричні властивості. Кількість електронів, які беруть участь у провідності, називаються внутрішніми носіями. Концентрація внутрішніх носіїв на кубічний сантиметр, а саме n_i , становить близько $1,45 \times 10^{10} \text{ см}^{-3}$. При підвищенні температури щільність носія також збільшується. Концентрація вільних електронів дорівнює концентрації вільних дірок.

2. Кремній N-типу та P-типу

Для підвищення електропровідності кремнію в кремнієву решітку вводяться матеріали, що називаються допантами. Для штучного додавання більшої кількості електронів у решітку атоми фосфору або миш'яку (група VA) вкладаються в невеликі пропорції в кристал кремнію. Оскільки лише чотири валентні електрони знаходять місце в решітці, один електрон вивільняється і бере участь в електричній провідності. Отже, Фосфор та миш'як названі «донорами електронів», із символом N типу. Дуже висока концентрація донорів кодується N^{++} (Приблизно 1 атом типу N на 10000 атомів кремнію, що відповідає 10^{18} атомів на см^{-3}). Висока концентрація донора кодується N^+ (1 атом N типу на 1 000 000 атома кремнію, тобто 10^{16} атомів на см^{-3}), в той час як низька концентрація донорів називається N- (1 атом N типу на 100 000 000 атома кремнію, або 10^{14} атомів на см^{-3}).

III	IVA	VA
Acceptor		Donor
Add holes		Add electrons
P-type		N-Type

B 5 Boron	C 6 Carbon	N 7 Nitrogen
Al 13 Aluminium	Si 14 Silicium	P 15 Phosphorus
Ga 31 Gallium	Ge 32 Germanium	As 33 Arsenic

Малюнок 2: Бор, фосфор та миш'як використовуються як акцептори та донори електронів для зміни електричних властивостей кремнію





Щоб штучно збільшити кількість отворів в кремнію, бор вводиться в решітку. Відсутня валентна ланка пояснюється тим, що бор ділить лише три валентні електрони. Вакансія електронів створює отвір, який надає решітці властивість типу P. Дуже висока концентрація акцепторів кодується P ++ (10^{18} атомів на см^{-3}). висока концентрація акцепторів кодується P + (10^{16} атомів на см^{-3}). низька концентрація акцепторів називається P- (10^{14} атомів на см^{-3}). Кремнієва підкладка, що використовується для виготовлення інтегральних схем CMOS, має легкий легований бор, що характеризується символом P-.

3. MOS-перемикач

MOS-транзистор (MOS для металевого оксиду-напівпровідника) є, безумовно, найважливішим базовим елементом інтегральної схеми. MOS транзистор - це інтегрована версія електричного вимикача. Коли він увімкнено, він дозволяє струму текти, а коли він вимкнений, він зупиняє течію струму. MOS-перемикач вмикається та вимикається електрикою. У технології CMOS (Комплементарний металевий оксид напівпровідник) існує два типи пристроїв MOS: n-канальний MOS-пристрій (його також називають nMOS) та пристроєм MOS плоскості (також називається pMOS).

3.1. Логічні рівні

Три логічні рівні 0,1 і X визначаються наступним чином:

Логічне значення	Напруга	Ім'я	Символ у DSCH	Символ у Microwind
0	0,0В	VSS	 (Зелений в логіка моделювання)	 (Зелений в аналог моделювання)
1	1,2 В в кмос 0,12 мкм	VDD	 (Червоний в логіка моделювання)	 (Червоний в аналоговому моделюванні)
X	Не визначено	X	(Сірий у моделюванні)	(Сірий у моделюванні)

Таблиця 2-3: логічні рівні та їх відповідні символи в інструментах Dsch та Microwind

4. N-канальний MOS-комутатор

Незважаючи на надзвичайно невеликий розмір (менше 1 мкм квадрат), струм, який може перемикає МОП транзистор, достатній, наприклад, для включення та вимкнення світлодіода, наприклад. Пристрій MOS складається з двох електричних областей, званих зливом та джерелом, розділених каналом. У цьому каналі може існувати або не існувати канал електронів, залежно від напруги, прикладеної до затвора. Затвор - це провідник, розміщений у верхній частині каналу і електрично ізольований ультратонким оксидом. MOS - це в основному перехід між зливом та джерелом. Схематичне перетин пристрою MOS наведено на рисунку 2-11. Теоретично джерелом є походження каналних домішок. У випадку цього pMOS-пристрою домішками каналу є електрони. Тому джерелом є область дифузії з найнижчою напругою

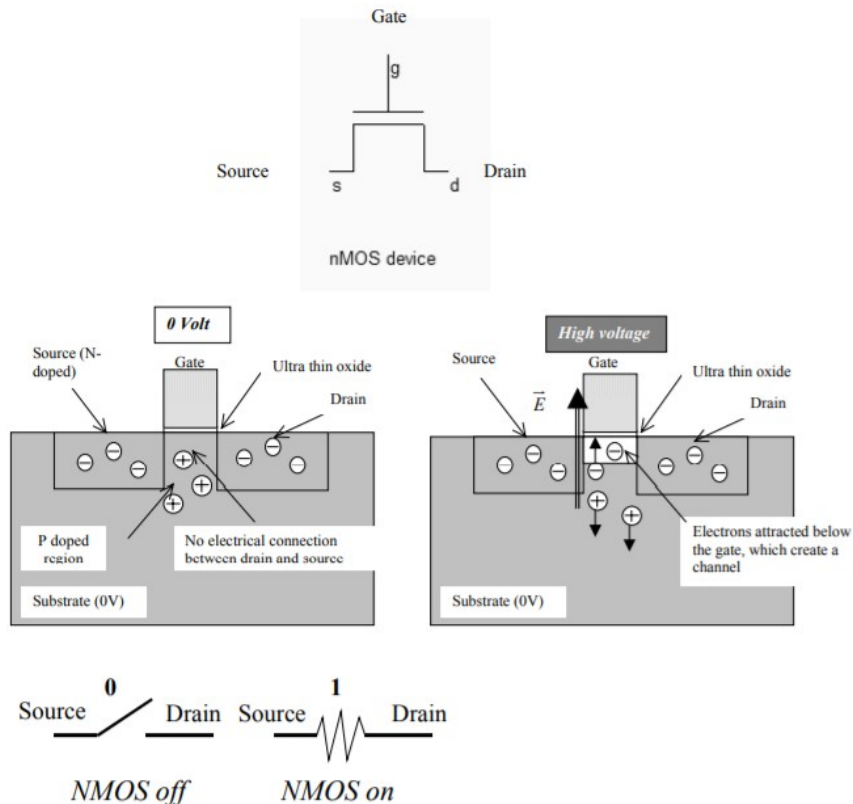


Figure 2-11: Basic principles of a MOS device

При використанні в логічному дизайні комірок це може бути на або вимкнено. Як показано на рисунку 2-xxx, n-канальний MOS-пристрій вимагає високої напруги живлення. Коли на, струм може текти між стоком і джерелом. Коли пристрій МОС увімкнено, зв'язок між джерелом і зливом еквівалентний резистору. Опір може змінюватися від менш ніж 0,1 Ω до декількох сотень К Ω . Використовуються пристрої MOS низької стійкості для застосування живлення, тоді як MOS-пристрої високої стійкості широко використовуються в

аналогових конструкціях з низькою потужністю. У логічних воротах опір Рона становить близько 1 К Ω

5. MOS-комутатор з р-каналом

На противагу цьому, М-пристрій р-каналу вимагає включення нульового напруги. Символ MOS р-каналу відрізняється від пристрою п-каналів невеликим колом біля затвора. Носіями каналу для рMOS є дірки.

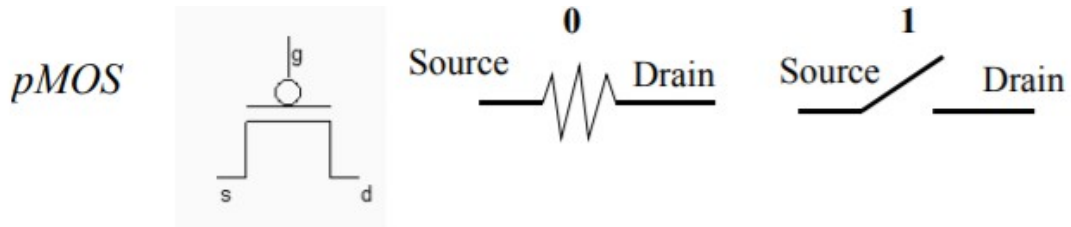


Figure 2-12: the MOS symbol and switch

The p-channel MOS logic table can be described as follows.

Gate	Source	Drain
0	0	0
0	1	1
1	0	X
1	1	X

6. Приладовий MOS шар

Мета цього пункту полягає в тому, щоб намалювати MOS-пристрої п-каналу та р-каналу відповідно до правил проектування та звичайної практики проектування. Інструмент Microwind, що надається у компакт-диску компакт-диска, використовується для складання макета MOS та моделювання його поведінки

Головний екран Microwind, показаний на малюнку 2-19, включає два вікна: одне для головного меню та відображення макета, інше для меню значків та палітри шарів. У головному вікні макета розміщена сітка, розміщена в лямбда (λ) одиниць. Розмір сітки постійно підлаштовується під макет. На малюнку 2-19 сітка становить 5 лямбда. Лямбда-одиниця закріплена на половині мінімально доступної літографії технології L хв. Наприклад, технологією за замовчуванням є технологія 6-металевих шарів CMOS 0,12 мкм, отже, це лямбда 0,06 мкм

$$\lambda = \frac{L_{\min}}{2}$$

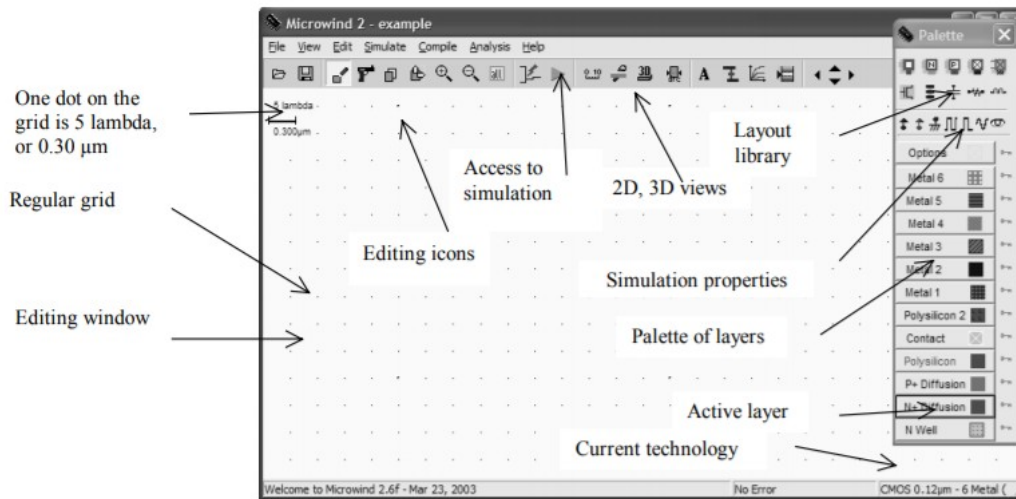


Рисунок 2 – Вікно MICROWIND2, як воно з'являється на етапі ініціалізації

Палітра розташована в правому куті екрана. Червоний колір позначає поточний шар. Спочатку вибраний шар у палітрі - полісиліцій.

Практична частина

Завдання.

1. Вивчити застосування λ одиниць при формуванні топологічних елементів.
2. Спроекувати МОН транзистор n-типу із полікремнієвим затвором.
3. Спроекувати МОН транзистор n-типу із металічним затвором.
4. Спроекувати МОН транзистор p-типу із полікремнієвим затвором.
5. Спроекувати МОН транзистор p-типу із металічним затвором.

Варіанти завдань.

№	Ширина каналу, W, мкм	Довжина каналу, мкм	Тип МОН
1	8	2	n
2	8	2	p
3	4	4	n
4	4	4	p
5	6	3	n
6	6	3	p

Лабораторна робота №3

Вивчення ВАХ характеристик MOS транзисторів

Мета: Навчитися будувати ВАХ характеристик MOS транзисторів з топології

1. Теоретичні відомості

1.1. Моделі MOS транзисторів

Моделювання пристрою MOS полягає у написанні набору рівнянь, які пов'язують напруги та струми, з метою імітації та прогнозування поведінки одного пристрою [Шоклі], а отже, і поведінки повної схеми. Протягом останніх років великі зусилля з дослідження та розробки були присвячені точному моделюванню MOS-пристроїв. Протягом багатьох років було опубліковано багато книг про фізику напівпровідників та моделювання напівпровідникових пристроїв. Для пристроїв MOS однією з ключових цілей моделі є оцінка струму I_{ds} , який протікає між стоком і витокком, залежно від напруг живлення V_d , V_g , V_s і V_b

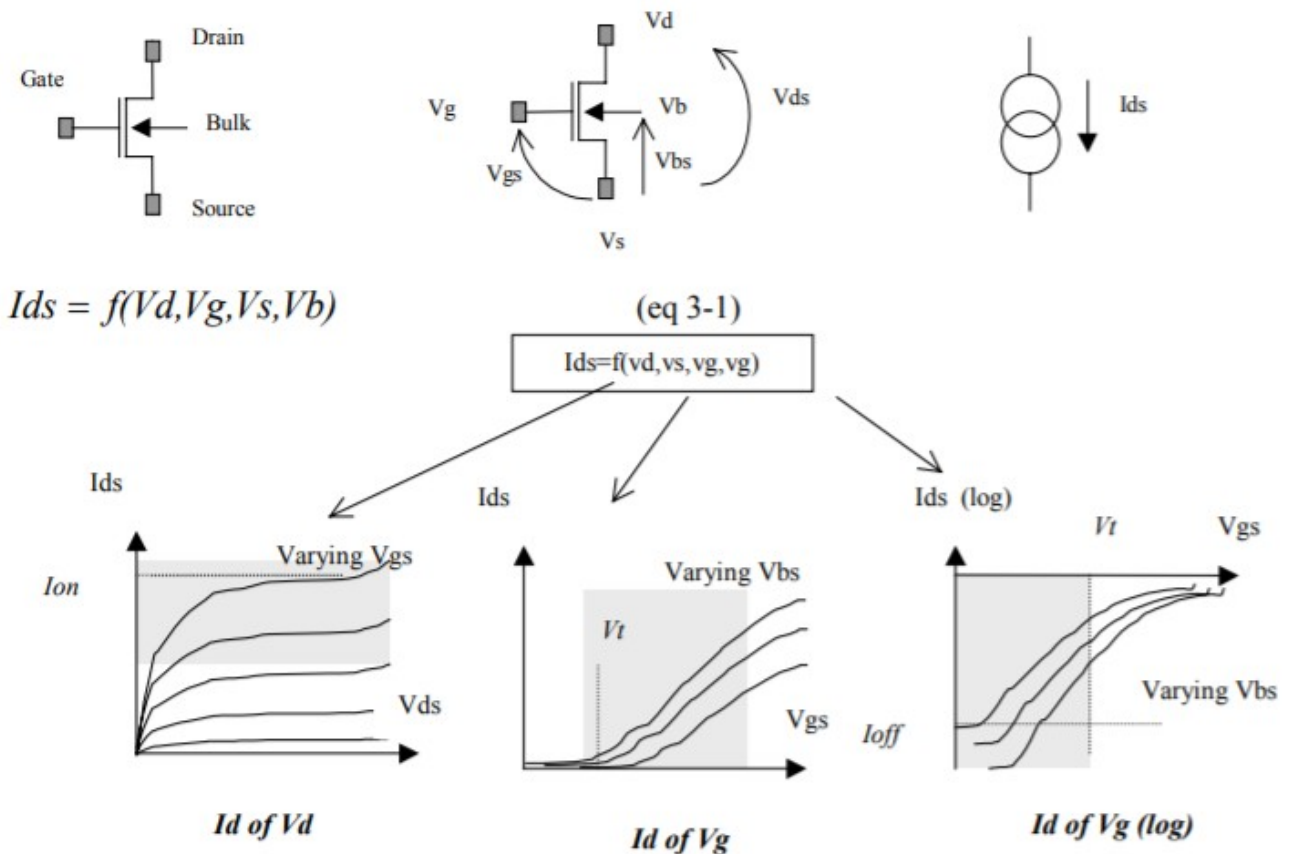


Figure 3-1: Useful representations of the MOS device characteristics

Друга мета моделей MOS - головним чином оцінити значення паразитарних ємностей C_{gs} , C_{gd} і C_{gb} (Малюнок 3-2). Ці ємності виявляються різними в залежності від напруги V_g і V_b . Хоча не розглядається в статичних моделюваннях I_d / V_d і I_d / V_g , зміна ємності повинна обчислюватися при кожній ітерації аналогового моделювання для точного прогнозування затримки комутації.

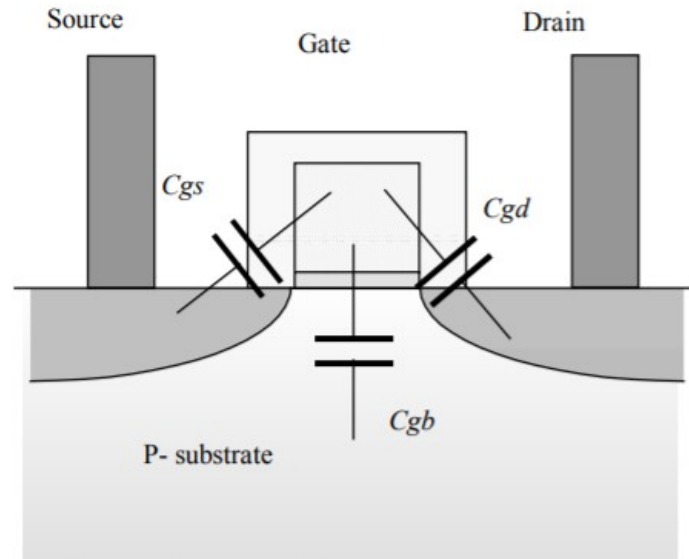
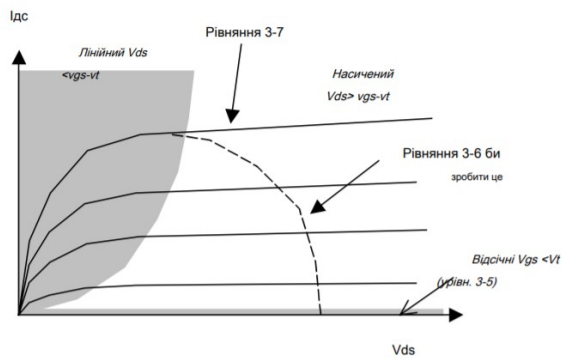


Figure 3-2: Capacitance between the gate and the source, drain, or substrate

Для аналогових симуляторів розроблений довгий перелік моделей MOS. Ми вирішили реалізувати в Microwind три з них: модель 1, модель 3 і модель BSIM4. Повний набір параметрів для даної технології називається картою моделі. Процедура побудови точної моделі MOS є досить складною, оскільки заснована на великому наборі вимірювань та складних процедурах оптимізації. Експериментальні дані щодо пристрою MOS з великою шириною та великою довжиною використовуються спочатку для фіксації основних параметрів. Потім модель MOS налаштовується на невеликі вимірювання каналних пристроїв, а потім на кілька розмірів.

1.1. Модель MOS 1

Історично склалося, що модель MOS 1 була вперше запропонована Шоклі в 1952 році [Shockley]. Рівняння рівня MOS рівня 1 наведені в наступних параграфах. Оцінка струму I_{ds} між стоком і джерелом як функція між стоком і джерелом як функція між стоком і джерелом як функція між стоком і джерелом як функція між стоком і джерелом як функція між стоком і джерелом як функція між стоком і джерелом як функція V_d , V_g і V_s підсумовується в підсумовується в підсумовується в підсумовується в підсумовується в підсумовується в підсумовується в підсумовується в підсумовується в підсумовується в підсумовується в рівняннях 3-5, 3-6 та 3-7. Параметри моделі, що з'являються в інтерфейсі користувача Microwind2, записуються за допомогою КУРІП шрифту. Робота пристрою поділяється на три області: відсічну, лінійну та насичену.



Малюнок 3-3: У моделі розглядаються два основні області: лінійна площа та насичена область.

2. Отримання ВАХ характеристик у Microwind

Статичні характеристики моделі MOS 1 можуть бути отримані за допомогою команди Імітувати → Характеристики MOS доступний у головному меню Microwind.

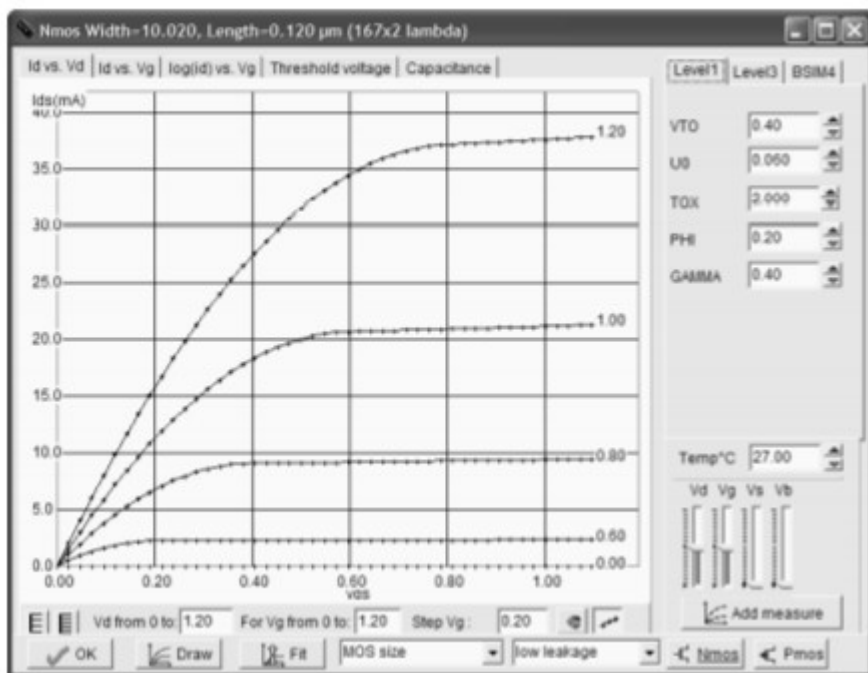
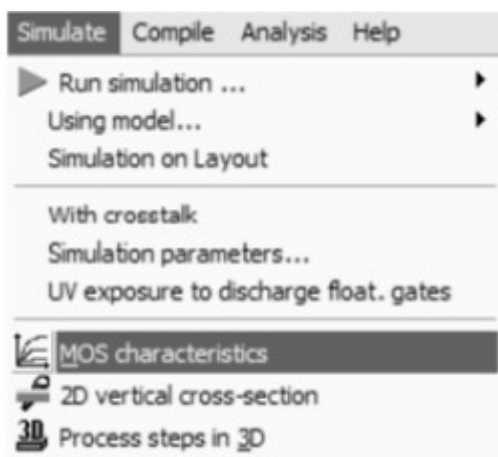


Рисунок 3-5 - Статичні характеристик MOS з моделлю 1 отримані в Microwind2

2.1. Невідповідність між моделюванням та вимірюванням

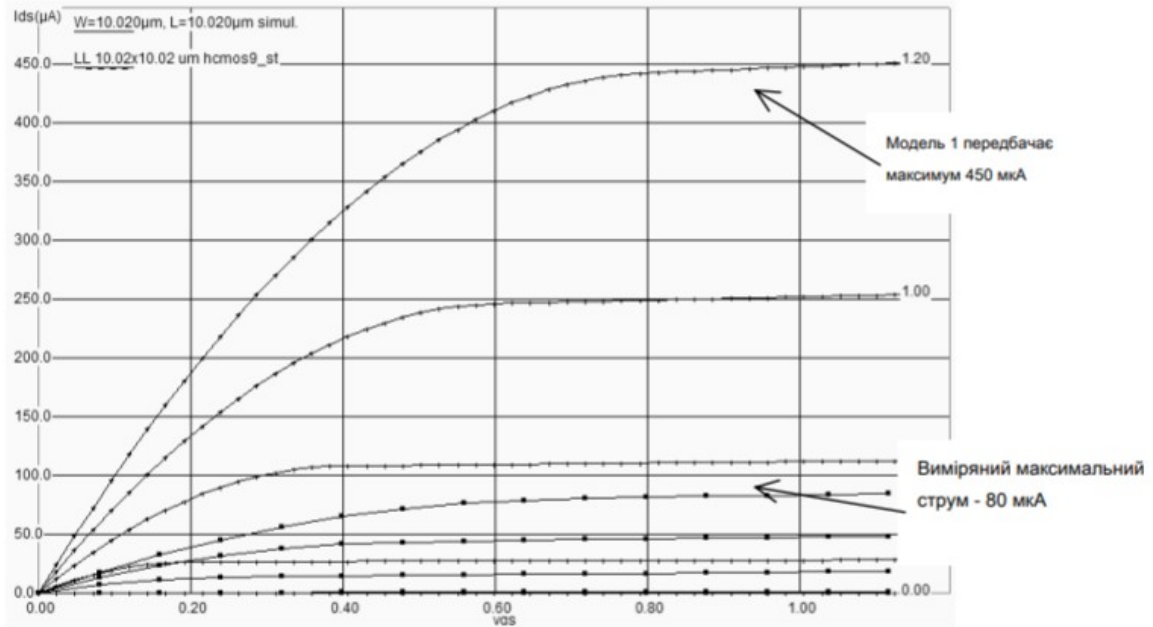


Рисунок 3-6 - Модель 1 дає струм у 5 разів більший за вимірювання у випадку великоканальної пристрою MOS ($L = 10$ мкм).

2.2. Уточнена MOS модель 3

Для оцінки струму I_{ds} як функція V_d , V_g і V_s між стоком та джерелом ми зазвичай використовуємо наступні рівняння, близькі між стоком та джерелом ми зазвичай використовуємо наступні рівняння близькі до формул SPICE моделі 3. Склади отримані з моделі 1 та беруть до уваги набір фізичних обмежень напівемпіричним способом.

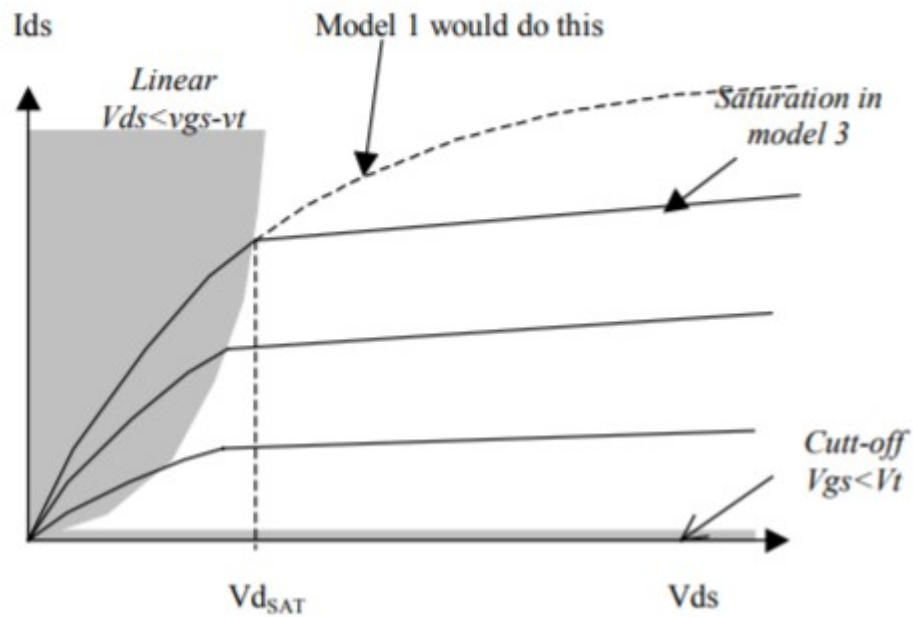


Рисунок 3-8 - Введення напруга насичення V_{dSAT} , яке скорочує рівняння, видані з модель 1

Однією з найважливіших змін є впровадження V_d СБ, напруга насичення, від якого струм насичується і не піднімається, як це зробила модель LEVEL1. Цей ефект насичення є значним для невеликої довжини каналу. Нижче наведено основні рівняння рівня LEVEL3.

3. ЕФЕКТИ ТЕМПЕРАТУРИ

Пристрій MOS чутливий до температури. Три основні параметри стосуються: порогова напруга V_{TO} , U_0 і нахил в підпороговому режимі, залежно від і нахил в підпороговому режимі, , залежно від kT / q . І те й інше V_{TO} і U_0 знижуються при підвищенні температури. Фізичний фон - деградація рухливості електронів і отвори, коли температура збільшується, через більший атомний об'єм кристала під затвором, а отже, менше місця для носіїв струму. Моделювання температурного ефекту полягає в наступному:

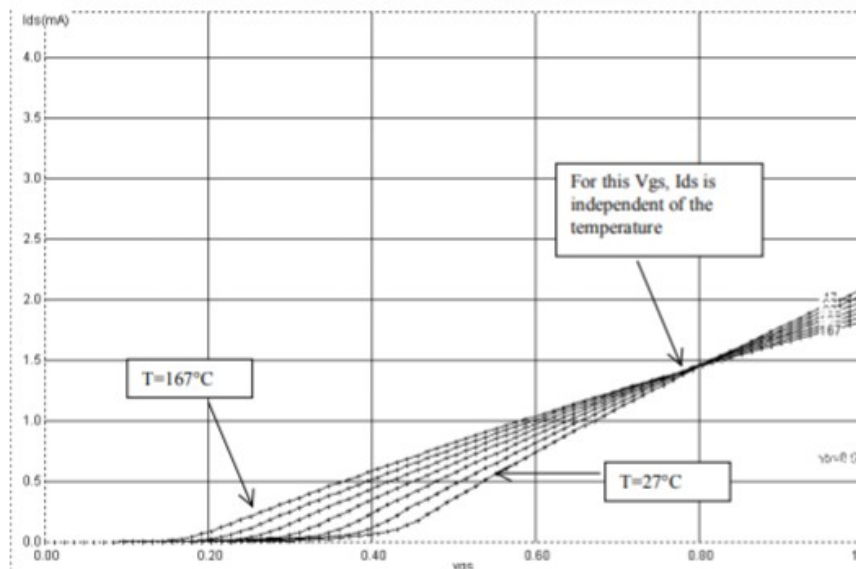
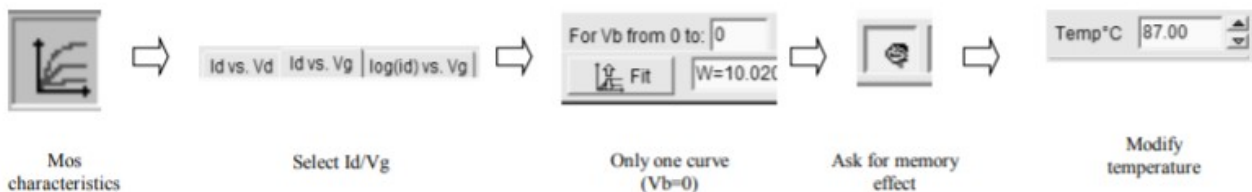


Рисунок 3-10 - Вплив температури на характеристики MOS. В режимі Id / Vg певний Vds робить струм незалежним від температури

Практична частина

Завдання.

1. Спроектувати МОН транзистор n-типу із полікремнієвим затвором і отримати його ВАХ характеристики. Визначити напругу насичення.
3. Спроектувати МОН транзистор n-типу із металічним затвором і отримати його ВАХ характеристики. Визначити напругу насичення.
4. Спроектувати МОН транзистор p-типу із полікремнієвим затвором і отримати його ВАХ характеристики. Визначити напругу насичення.
5. Спроектувати МОН транзистор p-типу із металічним затвором і отримати його ВАХ характеристики. Визначити напругу насичення.

Варіанти завдань.

№	Ширина каналу, W, мкм	Довжина каналу, мкм	Тип МОН
1	3	2	n
2	3	2	p
3	4	4	n
4	4	4	p

5	5	3	n
6	5	3	p

Запитання.

1. Які основні параметри довгоканальної моделі MOS транзистора.
2. Які основні параметри моделі MOS 2 транзистора.
3. Які основні параметри моделі Spice MOS 3 транзистора.

Лабораторна робота №4

Інвертор

Мета: Навчитися будувати топологію інвертора

1. Теоретичні відомості

1.1. Графічні позначення логічного елемента

Для відображення інвертора часто використовуються два логічні символи: інвертор "старого стилю" (зліва від рисунка 4-1) та символ IEEE (справа від рисунка 4-1). У DSCН ми бажано використовувати традиційне розміщення символів. Як показує таблиця логічної істинності на малюнку 41, комірка інвертує логічне значення вводу В у вихід Вийшов.

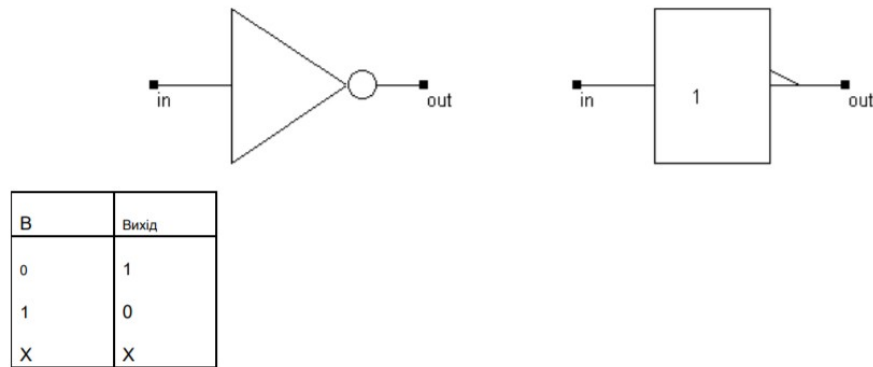


Рис. 4-1: Символи, які використовуються для подання логічного інвертора

У таблиці істинності символ 0 являє собою 0,0 В, тоді як 1 представляє логічну подачу, що становить 1,2 В за 0,12 мкм. Символ X означає "невизначений". Цей стан еквівалентно невизначеній напрузі, як і у плаваючого вхідного вузла без будь-якого вхідного з'єднання. Невизначений стан відображається сірим кольором у симуляціях та хронограмах.

1.1. Інвертор CMOS

Конструкція інвертора CMOS детально описана на рисунку 4-2. Тут в якості комутаторів використовуються один р-канальний MOS і один n-канальний MOS транзистори. Зауважте, що розмір кожного пристрою нанесено на графік (W припадає на ширину, L на довжину). Ширина каналу для пристроїв pMOS встановлюється вдвічі більше ширини каналу для nMOS-пристроїв. Причина детально описана в наступних главах

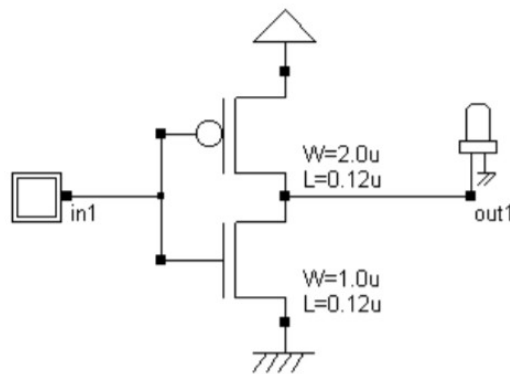


Рис. 4-2: Інвертор CMOS базується на одному n-канальному та одному p-канальному MOS-пристрої

Коли вхідний сигнал є логічним 0 (рис. 4-3 зліва), nMOS вмикається, коли PMOS передає VDD через вихід, який перетворюється на 1. Коли вхідний сигнал є логічним 1 (рис. 4-3 б), pMOS вмикається, коли nMOS передає VSS на вихід, який повертається до 0. У такому моделюванні MOS розглядається як простий комутатор. Символ MOS nchannel - це пристрій, який дозволяє струму текти між джерелом і стоком, коли напруга на затворі становить "1".

1.3. Макет інвертора

У цьому пункті наведено деталі щодо компонування інвертора CMOS. Найпростіший спосіб створення інвертора CMOS - це генерувати як n-канальний MOS, так і каналні MOS-пристрої, використовуючи генератор комірок, наданий Microwind. Перевага такого підходу полягає в тому, щоб уникнути помилки правила дизайну. Відповідне меню повідомляється нижче. Ви можете генерувати n-канальний або p-канальний пристрій. Пристрій подвійного затвора також може бути створений для пристроїв пам'яті EEPROM (див. Главу 10). За замовчуванням пропонується довжина - це мінімальна довжина, наявна в технології (2 лямбда), а ширина - 10 лямбда. У технології 0,12 мкм, де лямбда 0,06 мкм, відповідний розмір 0,12мкм для довжини і 0,6 мкм для ширини.

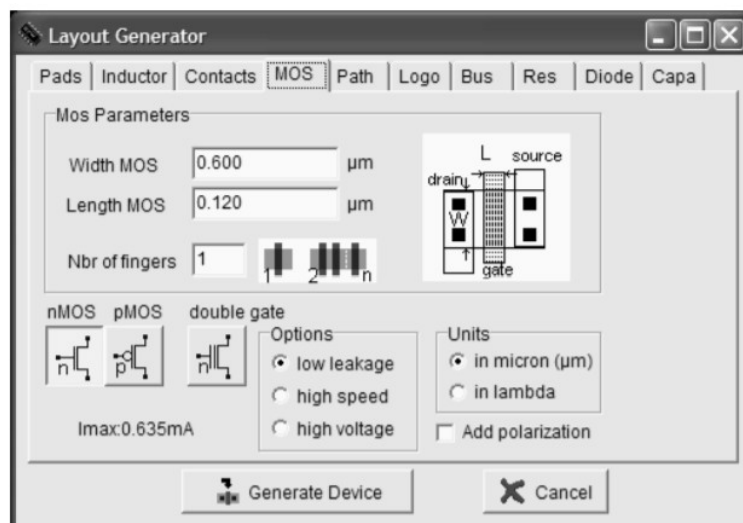


Рис. 4-5 Використання генератора MOS для додавання n-канальних та p-канальних MOS-пристроїв у макет

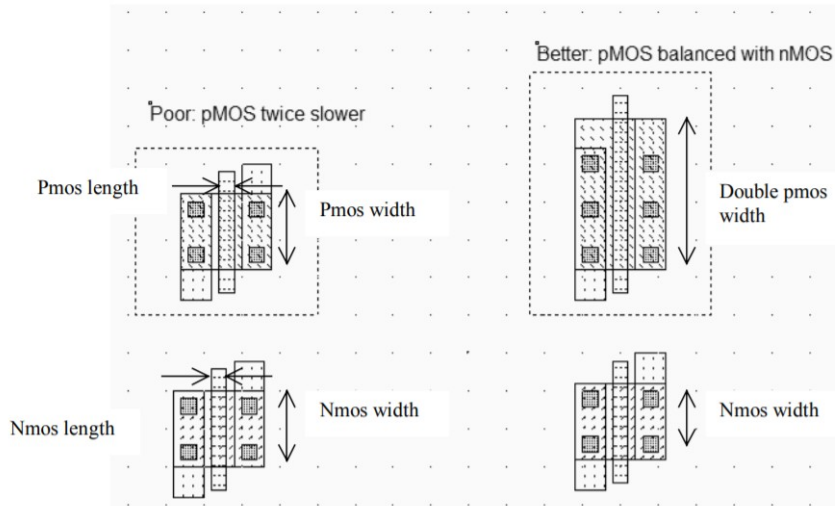


Fig. 4-6 The layout of one nMOS and one pMOS to build the CMOS inverter (invSizing.MSK)

Конструкція починається з реалізації однієї nMOS і однієї pMOS, як показано на малюнку 4-6. Використання однакової ширини каналу за замовчуванням (0,6 мкм у CMOS 0,12 мкм) для nMOS та pMOS - не найкраща ідея, оскільки р-канал MOS перемикає половину струму n-канальної MOS. Походження цієї невідповідності можна побачити в загальному вираженні струму, поданого n-канальними МОЗ-пристроями (рівняння 4-1) та р-канальними МОЗ-пристроями (рівняння 4-2).

З'єднання між пристроями

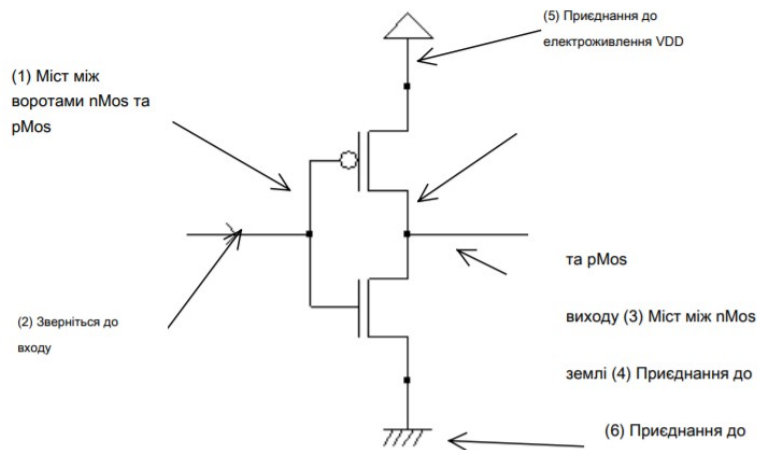


Рис. 4-8 Підключення, необхідні для створення інвертора (CmosInv.SCH)

У клітинах CMOS метал та полісиліцій використовуються як з'єднувачі для сигналів. Метал - набагато кращий провідник, ніж полісиліцій. Отже, полісиліцій використовується лише для з'єднання воріт, наприклад моста (1) між ворітами pMOS та nMOS, як описано на схематичній схемі малюнка 4-8. Полісиліцій рідко використовується для довгих взаємозв'язків, за винятком випадків, коли очікується величезне значення опору.

У макеті, показаному на малюнку 4-9, полісиліконовий міст з'єднує затвор n-канального MOS з затвором пристрою Phannel MOS. Полісилікон служить контролем затворів і мостом між воротами MOS.

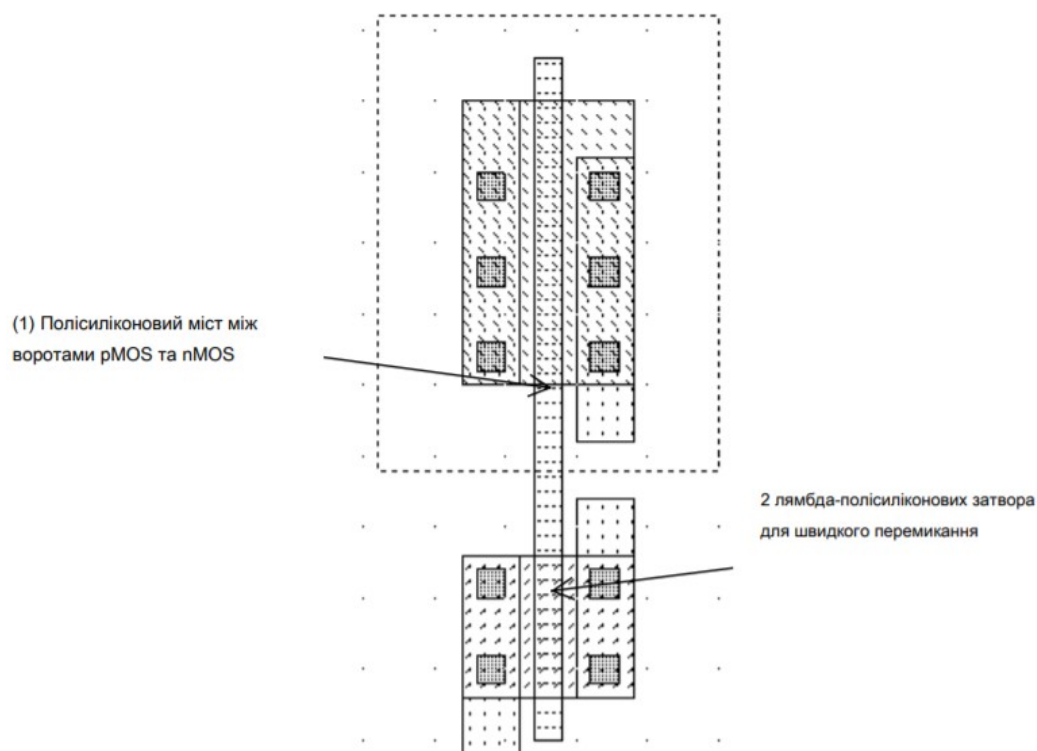


Рис. 4-9 Міст полісилікону між пристроями nMOS та pMOS (InvSteps.MSK)

Практична частина

Завдання.

1. Спроекувати інвертор на МОН транзисторі n-типу з полікремнієвим затвором і резисторі R. Отримати його перемикальні характеристики.
2. Спроекувати інвертор на МОН транзисторі p-типу з полікремнієвим затвором і резисторі R. Отримати його перемикальні характеристики.
3. Спроекувати інвертор на МОН транзисторах n- і p-типу з полікремнієвим затвором і однаковими розмірами $W \times L$. Отримати його перемикальні характеристики.
4. Спроекувати інвертор на МОН транзисторах n- і p-типу з полікремнієвим затвором і неоднаковими розмірами $W \times L$, $W < L$. Отримати його перемикальні характеристики.
5. Спроекувати інвертор на МОН транзисторах n- і p-типу з полікремнієвим затвором і неоднаковими розмірами $W \times L$, $W > L$. Отримати його перемикальні характеристики.
6. Спроекувати інвертор на МОН транзисторах n- і p-типу з полікремнієвим затвором і розмірами $W \times L$, з таблиці. Отримати його перемикальні характеристики.

Варіанти завдань.

№	Ширина каналу, W, мкм	Довжина каналу, мкм	Типи МОН
1	6	2	N,P
2	6	6	N,P
3	6	6	N,P
4	6	8	N,P
5	6	9	N,P
6	6	10	N,P

Запитання.

1. Як працює MOS інвертор.
2. Як впливає на роботу MOS інвертора навантаження на його виході.
3. Як впливають розміри каналу W/L на перемикальні характеристики інвертора.

Лабораторна робота №5

Міжз'єднання

Мета: Навчитися з'єднувати топологічні елементи на різних топологічних шарах

1. Теоретичні відомості

1.1. Призначення міжз'єднань

Роль взаємозв'язків у характеристиках інтегральних схем значно зростає зі зменшенням масштабу технології. На малюнку 5-1 показано еволюцію аспекту інтегральної схеми. В 0,12 мкм доступні від 6 до 8 шарів металу.

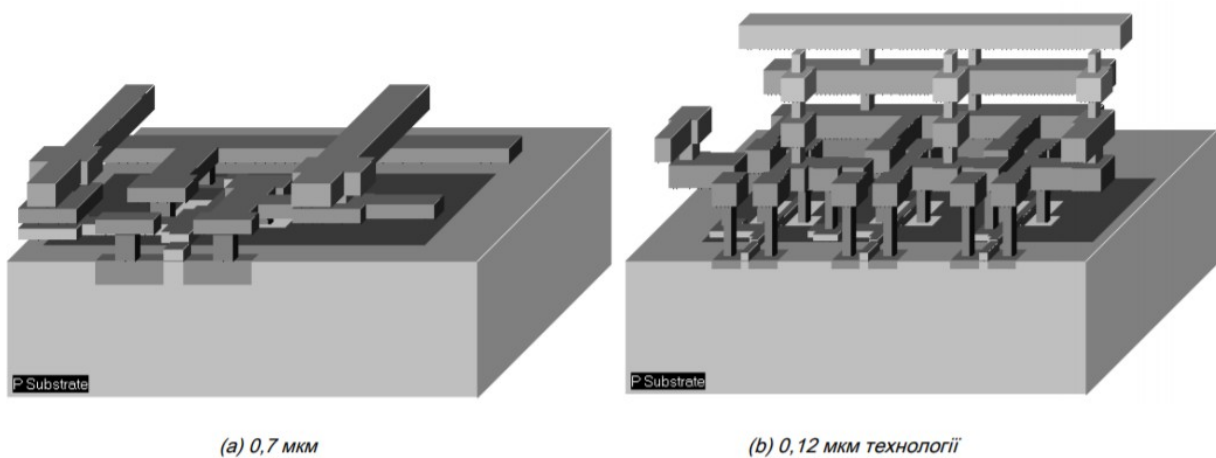
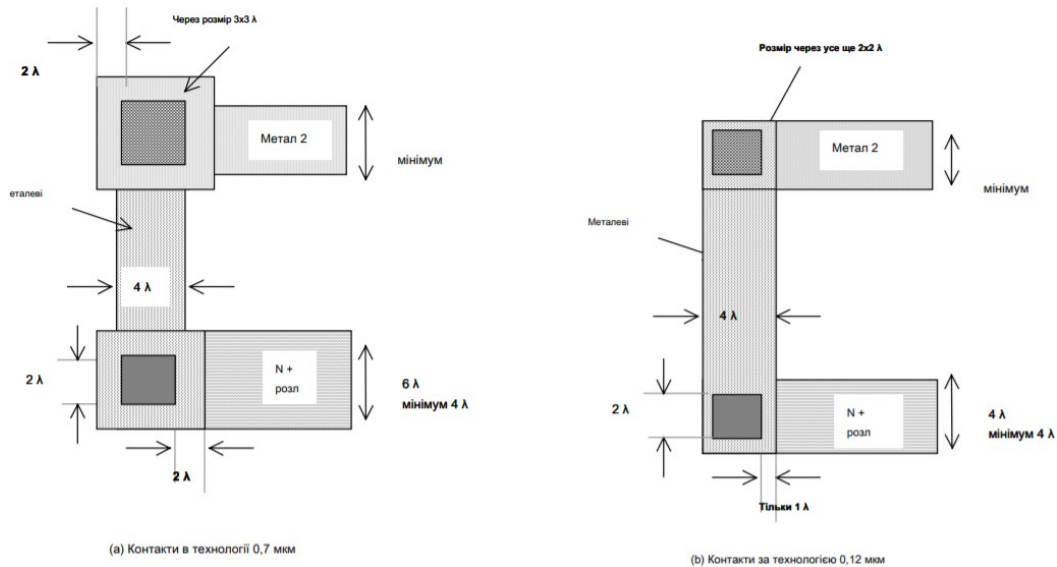


Рисунок 5-1: Еволюція взаємозв'язку між технологією 0,7 мкм та технологією 0,12 мкм (Inv3.MSK)

1.2. Металеві шари

У попередній главі ми розробили інвертор CMOS з використанням двох шарів металу. Однак для з'єднання та подачі сигналу доступно до 6 металевих шарів. Існує значний розрив між технологією 2-х металевих шарів 0,7 мкм та технологією 0,12 мкм з точки зору ефективності взаємозв'язку. По-перше, розмір контакту становить 6 лямбда в 0,7 мкм і лише 4 лямбда в 0,12 мкм. Це має значне скорочення з'єднання пристрою з металом та металом², як показано на малюнку 5-2. Зауважте, що MOS-пристрій створено за допомогою Правил дизайну 0,7 мкм досі сумісні з технологією 0,12 мкм. Але пристрій MOS, згенерований за допомогою 0,12 мкм дизайнерських правил, порушив би кілька правил, якщо перевірити технологію 0,7 мкм.



Малюнок 5-2: Контакти в технології 0,7 мкм вимагають більшої площі, ніж у технології 0,12 мкм

По-друге, у мікротехнологіях не допускається укладання контактів. Це означає, що для контакту від полі до металу2 потрібна значна площа кремнію (мал. 5-3а), оскільки контакти повинні бути намальовані в окремому місці. У технології глибокого субмікрону (починаючи від 0,35 мкм і нижче) дозволені складені контакти (мал. 5-3б).

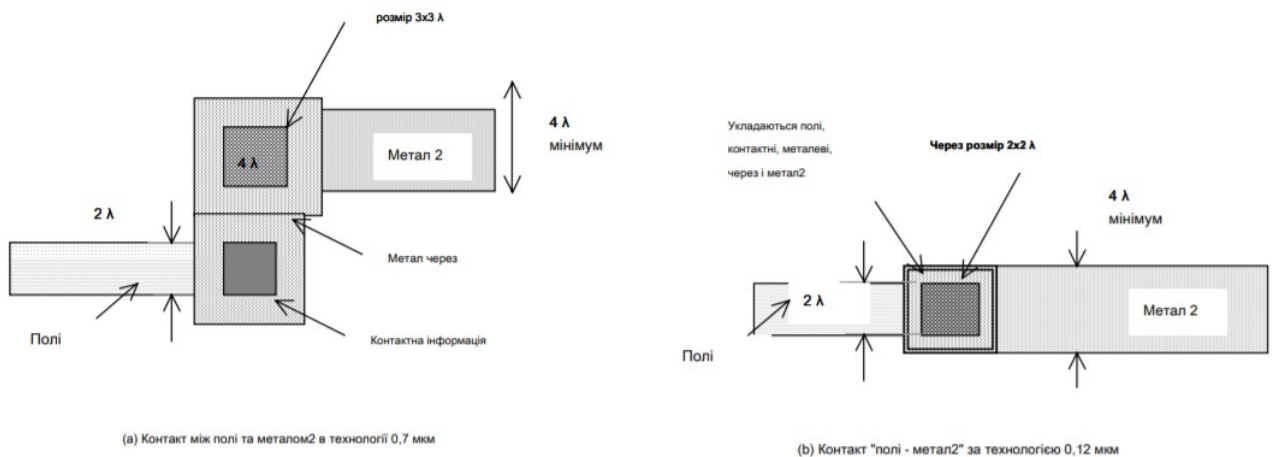
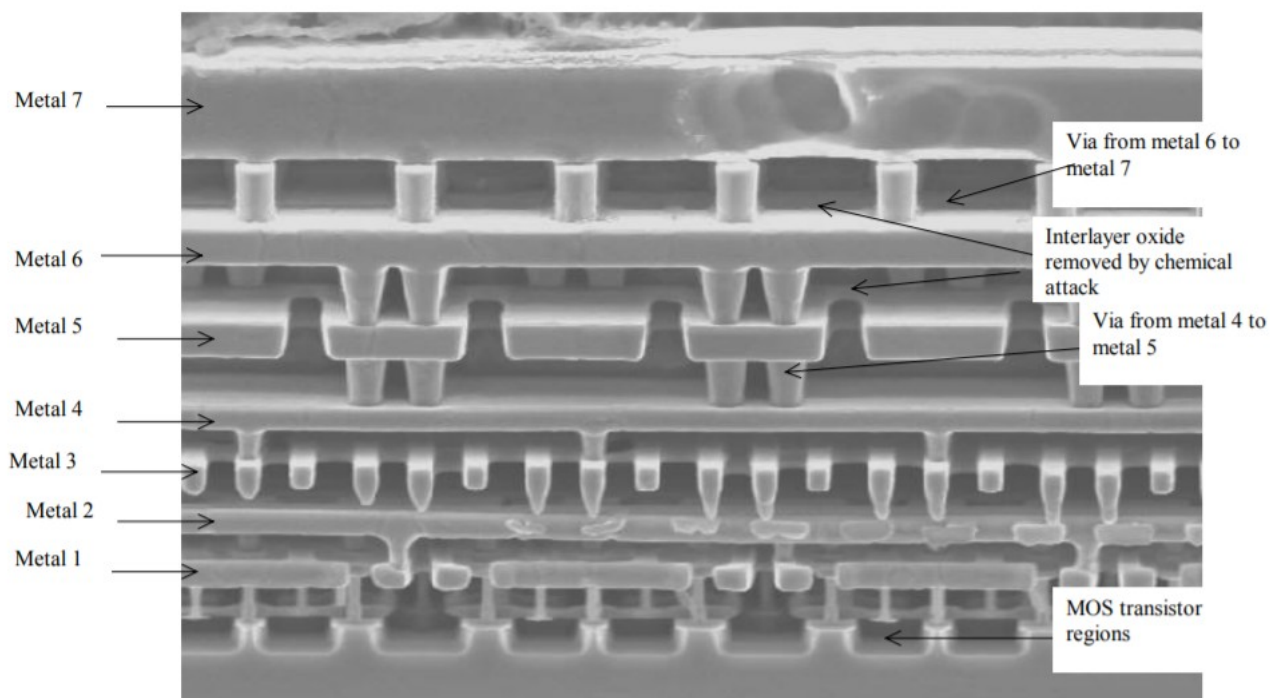


Рисунок 5-3: Укладені флакони дозволені за технологією 0,12 мкм, що економить значну кількість кремнієвої площі порівняно з 0,7 мкм стиль дизайну.

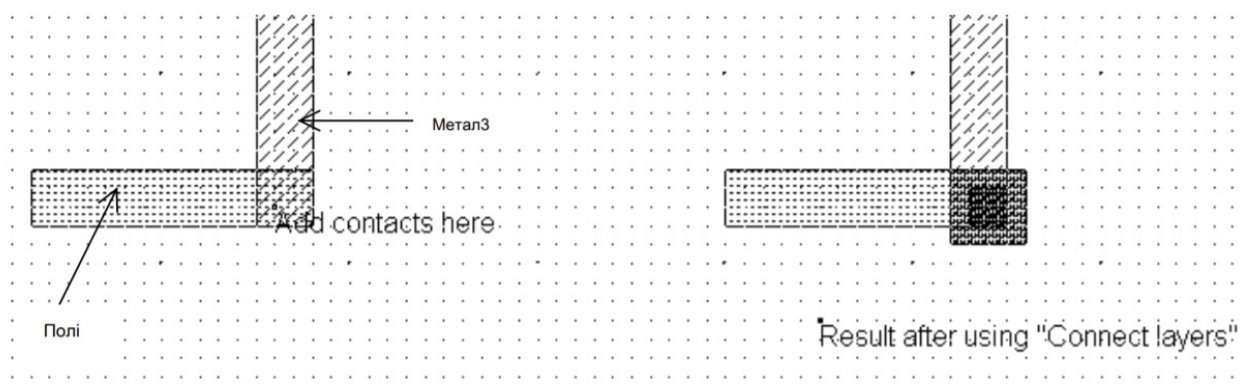
Металеві шари маркуються відповідно до порядку, в якому вони виготовлені, від нижнього рівня 1 (метал 1) до верхнього рівня (метал 6 за 0,12 мкм). Кожен шар вбудований в оксид кремнію (SiO₂), який ізолює шари один від одного. Поперечний переріз технології CMOS 0,12 мкм показаний на малюнку 5-4.



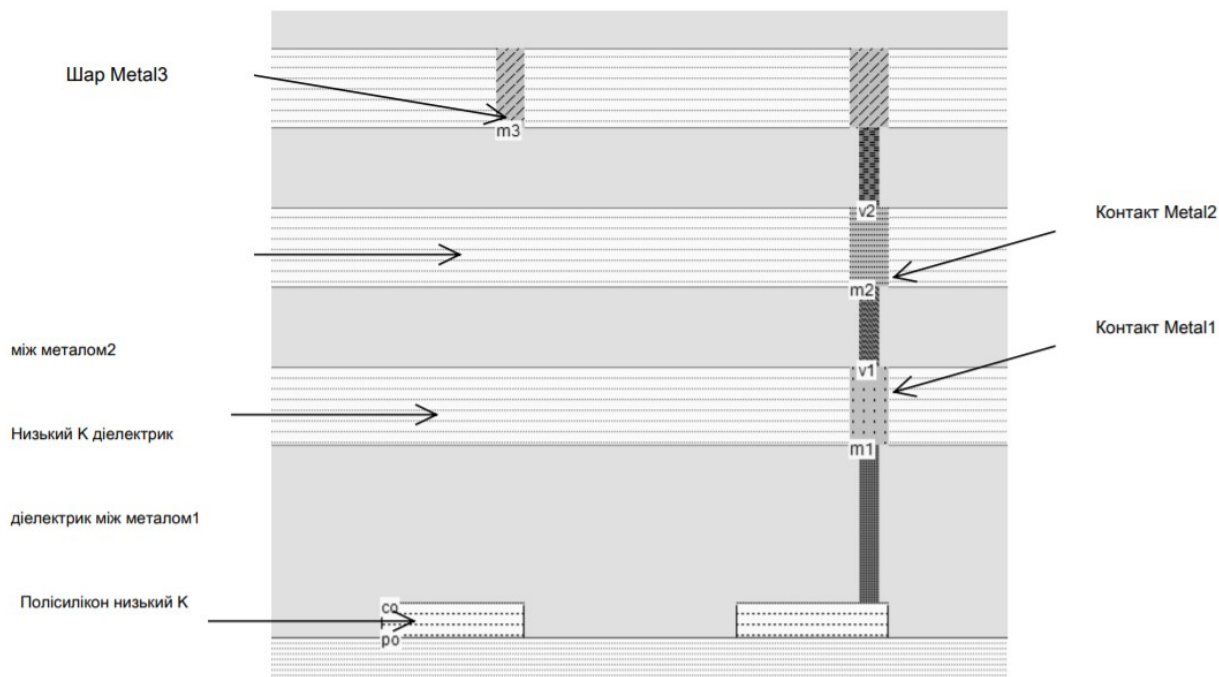
Риунок 5-4 - Поперечний переріз технології 0,12 мкм (Fujitsu)

2. Пряме підключення шару

У Microwind існує зручна команда для додання відповідного контакту між двома шарами. Уявімо собі, що нам потрібно з'єднати два сигнали, один направлений у полісиліцій, а другий у металі3. Замість того, щоб викликати складний макрос команда, ми можемо просто вибрати піктограму "з'єднати шари". В результаті стек контактів вставляється в потрібне місце для з'єднання нижнього шару з верхнім шаром. Ілюстрація цієї команди показана на малюнку 5-9.



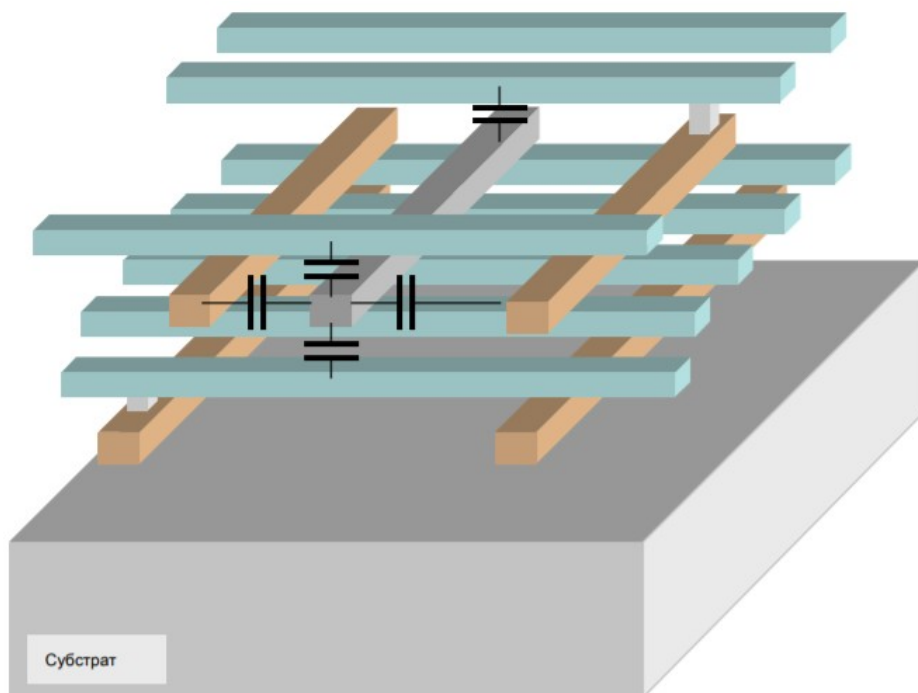
Малюнок 5-9: Команда "З'єднати шари" вставляє відповідні складені контакти для побудови з'єднання між потрібні шари (ConnectLayers.MSK)



Малюнок 5-10: 2-D поперечний переріз макета до та після з'єднання полі та металу3 шарів (ConnectLayers.MSK)

3. Ємність, пов'язана з взаємозв'язками

Лінії взаємозв'язку виявляють властивість ємності, оскільки вони здатні зберігати заряди в металевому інтерфейсі з оксидом. Ефект ємності не просто описати та модерувати. Це пов'язано з тим, що з'єднання маршрутизовані дуже близько один до одного, як показано в прикладі на малюнку 5-16. Ефекти ємності представлені набором конденсаторів, які з'єднують електричні з'єднання.



Малюнок 5-16: Одне з'єднання з'єднується з іншими провідниками декількома способами, як бічними, так і вертикальними

2. Практична частина

Завдання.

1. Спроекувати топологію з'єднання двох шарів металізації з використанням одного контактної вікна.
2. Спроекувати топологію з'єднання шару металізації і шару полікремнію з використанням двох контактних вікон.
3. Спроекувати топологію з'єднання шару металізації і шару полікремнію шарів металізації з використанням двох контактних вікон.
4. Спроекувати топологію з'єднання трьох шарів металізації з використанням двох контактних вікон.
5. Спроекувати топологію з'єднання шару n-типу дифузії і шару полікремнію з використанням двох контактних вікон.
6. Спроекувати топологію з'єднання шару p-типу дифузії і шару полікремнію з використанням двох контактних вікон.

Запитання.

1. Які типи шарів використовуються в MicroWind.
2. Які правила проектування контактних вікон.
3. Який опір має шар полікремнію.
4. Який опір має шар полікремнію.
5. Який опір має шар дифузії n-типу.
6. Який опір має шар дифузії p-типу.
7. Як рекомендується розміщувати потологічні елементи для зменшення міжшарової ємності.

Лабораторна робота №6

Логічні елементи на MOS транзисторах

Мета: Дослідити властивості послідовних і паралельних схем з'єднання логічних елементів

1. Теоретичні відомості

1.1. Комбінаційна логіка

Побудова логічних елементів базується на пристроях MOS, з'єднаних послідовно та паралельно. Якщо два n-канальні MOS-комутатори підключені послідовно (рис. 6-1), отриманий комутатор з'єднує порти C1 і C2, якщо обидва затвори A і B встановлені на "1". Це дає оператор AND, представлений символом '&' в рівнянні 6-1, де C12 є логічною змінною, яка представляє зв'язок між C1 і C2

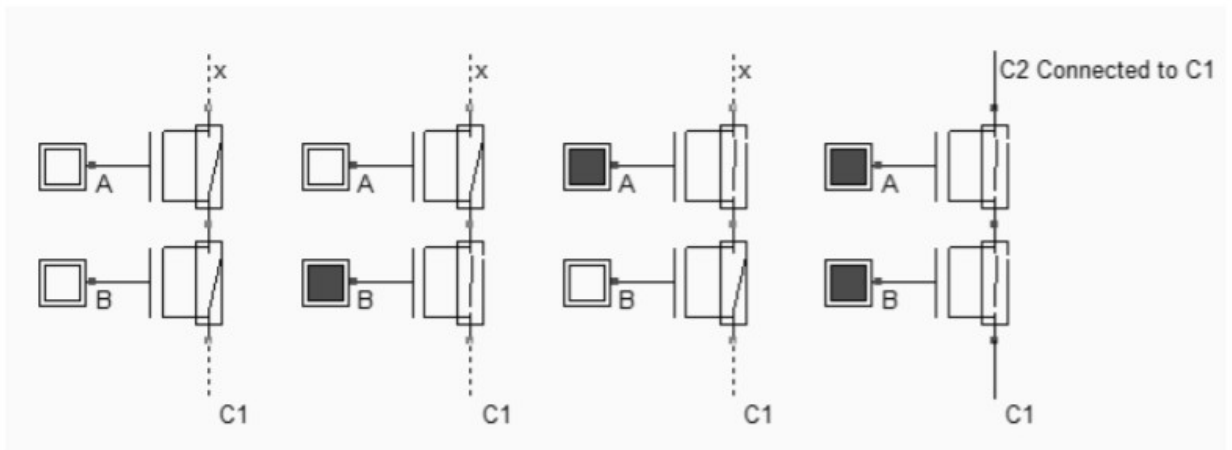


Рис. 6-1. Підключення послідовно N-канальних пристроїв створює шлях між C1 і C2, коли A і B встановлені на "1"

(BaseCmos.SCH)

Коли два комутатори nMOS підключені паралельно (рис. 6-2), отриманий перемикач увімкнено, якщо будь-які ворота A і B встановлені на "1". Це дає оператор АБО (описаний як "|" у рівнянні 6-2).

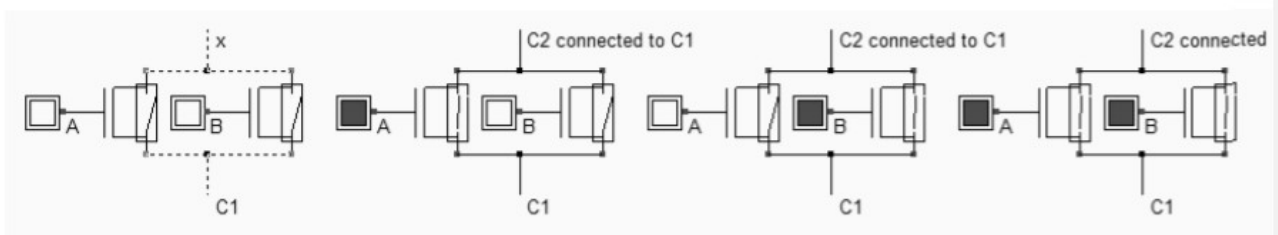


Рис. 6-2. Паралельне підключення N-канальних пристроїв створює шлях між C1 і C2, коли або A, або B встановлено на "1"

(BaseCmos.SCH)

Розглядаючи пристрої р-каналів, ми спостерігаємо, що два комутатори рMOS, підключені послідовно (мал. 6-3), діють як І між негативними логічними значеннями: результуючий перемикач увімкнено, якщо обидва ворота А і В встановлені на '0'.

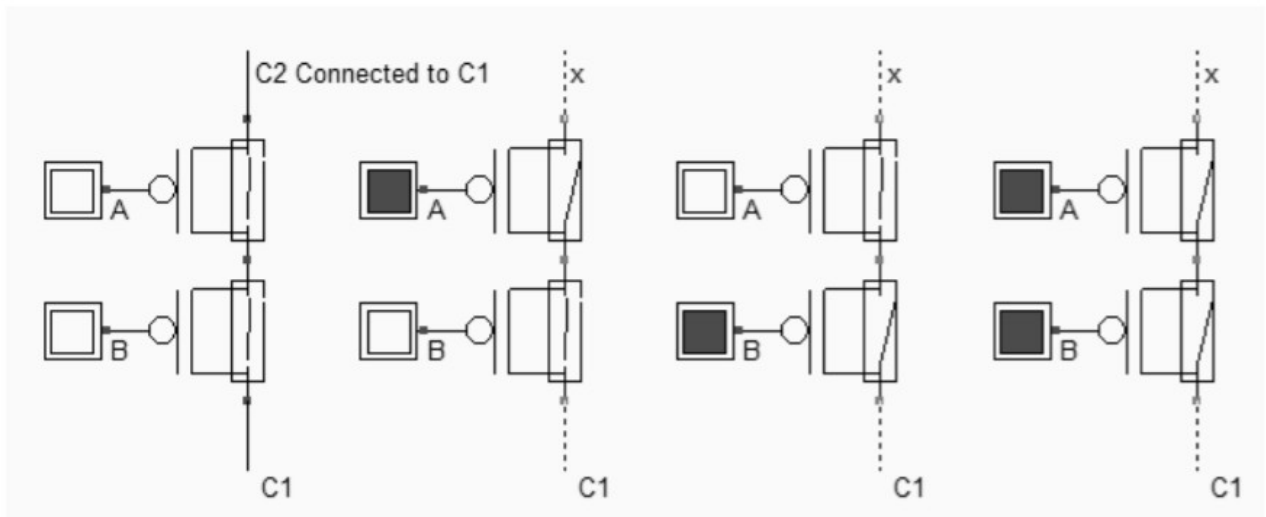


Рис. 6-4. Підключення послідовно пристроїв Р-каналів створює шлях між C1 і C2, коли для А і В встановлено значення "0"

(BaseCmos.SCH)

Коли два комутатори рMOS підключені паралельно (рис. 6-5), результуючий перемикач увімкнено, якщо будь-які затвори А і В встановлені на "0". Булевий оператор описується рівнянням 6-4.

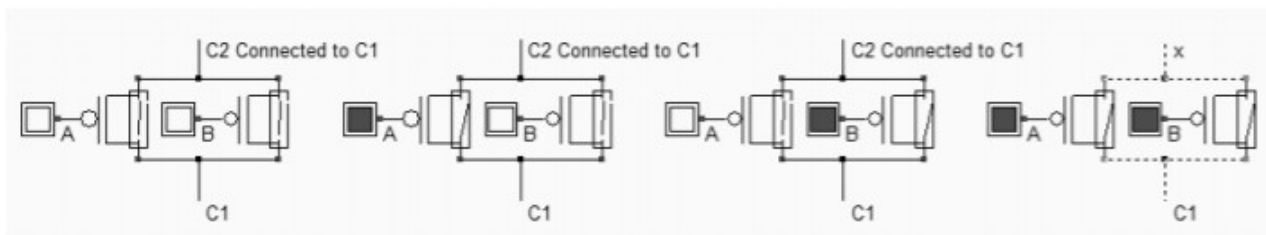


Рис. 6-5. Паралельне підключення пристроїв Р-каналу створює шлях між C1 і C2, коли або А, або В встановлено на "0"

(BaseCmos.SCH)

1.2. Концепція логічних затворів CMOS

Структура логічного шлюзу CMOS заснована на взаємодоповнюючих мережах п-канальних та р-канальних MOS-схем. Пам'ятайте, що комутатор рMOS добре передає логічний сигнал «1», тоді як пMOS комутатори добре передають логічний сигнал «0». Функціонування воріт має дві основні конфігурації:

- мережа комутаторів пMOS закрита, вихід $s = 0$ (рисунок 6-6 зліва)

- мережа комутаторів pMOS закрита, вихід $s = 1$ (рисунок 6-6 праворуч)

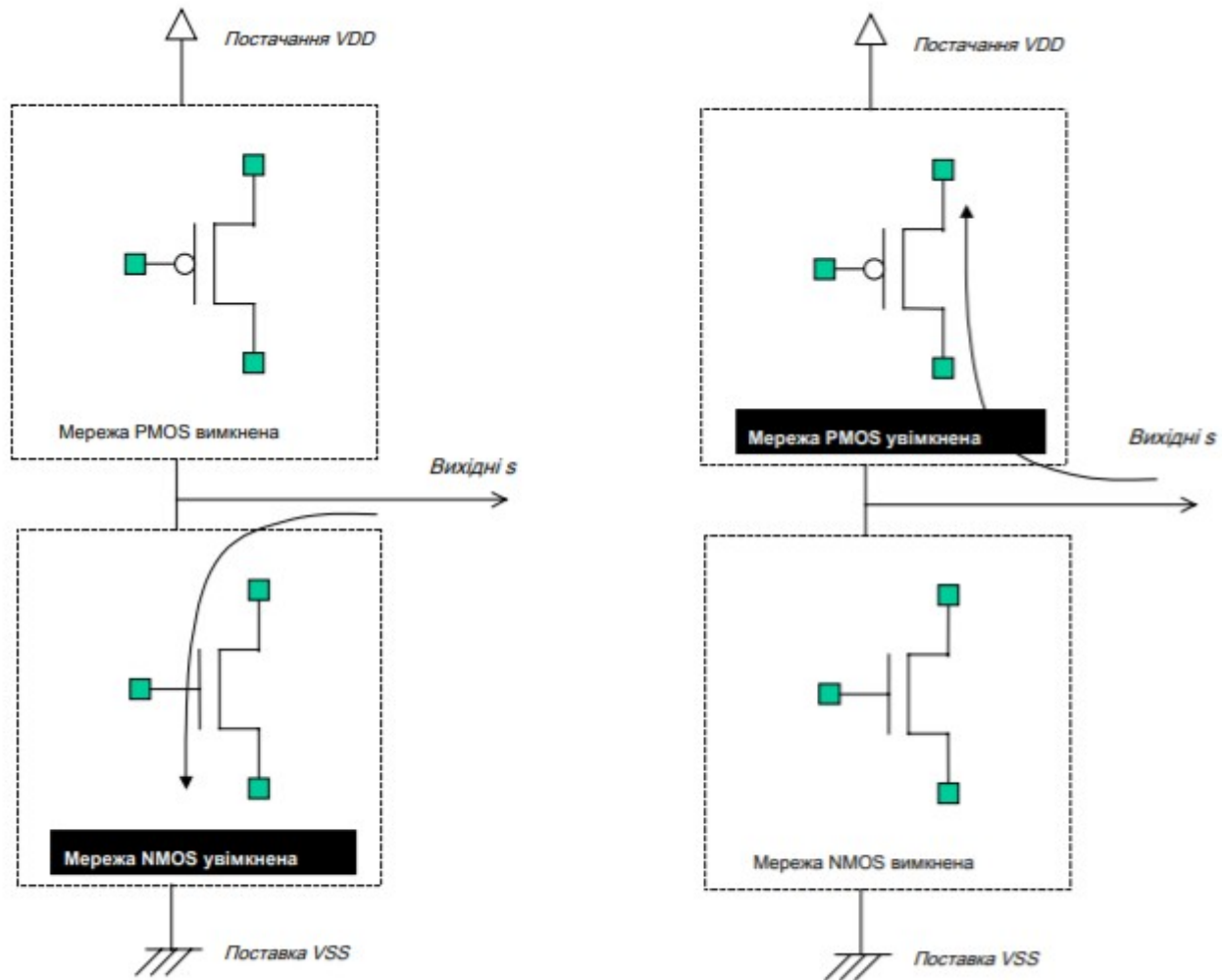


Рис. 6-6. Загальна структура базових воріт CMOS

Використовуюючи додаткові пари пристроїв nMOS та pMOS, активна або нижня мережа nMOS, яка прив'язує вихід до землі, або активна верхня мережа pMOS, яка прив'язує вихід до VDD. У звичайних базових шлюзах CMOS не повинно існувати комбінацій, коли обидві мережі nMOS та pMOS увімкнено. Якщо цей випадок стався, буде створений резистивний шлях між напрямними живленнями VDD та VSS. Слід уникати ситуації, коли ані мережі nMOS та pMOS не вмикаються, оскільки вихід не буде визначеним. Ці незаконні ситуації проілюстровані на рисунку 6-7.

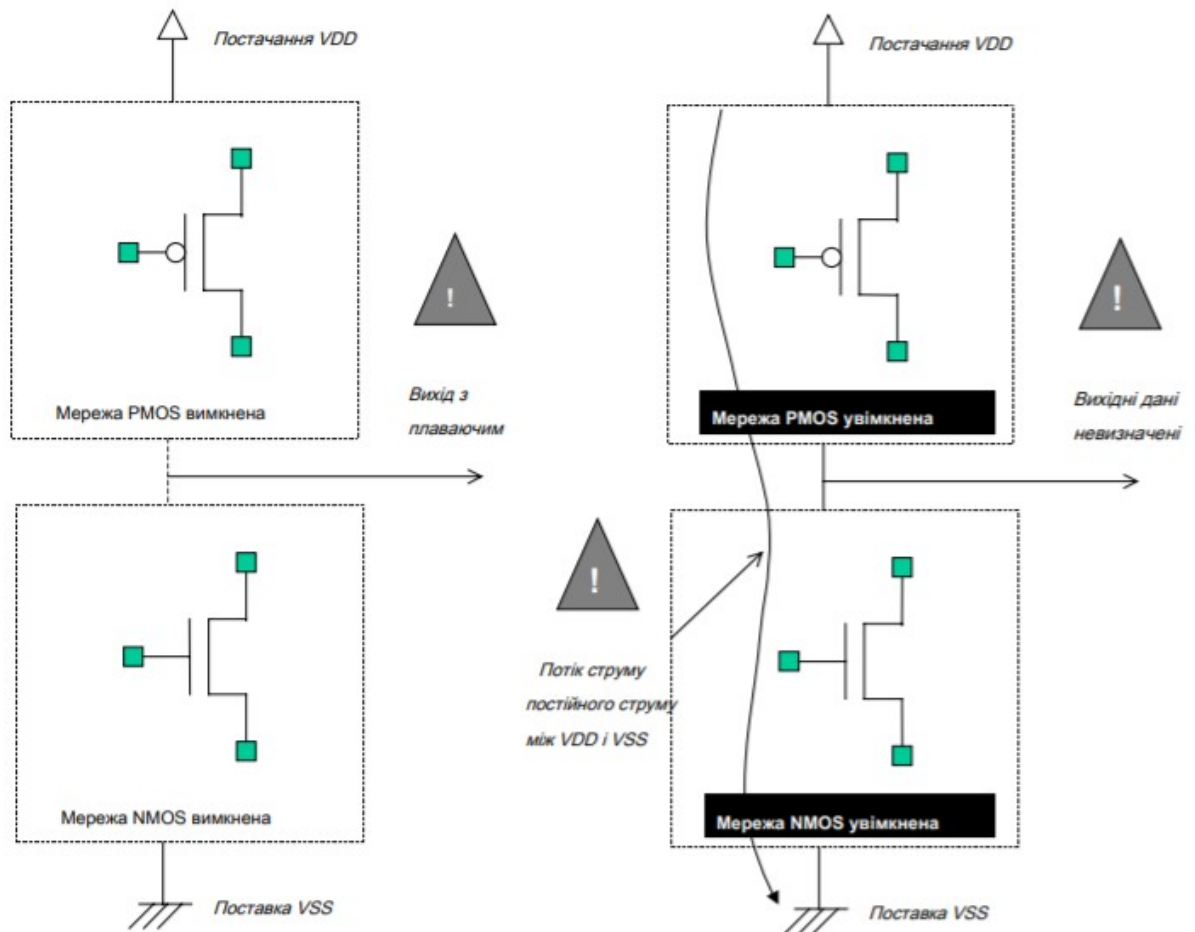


Рис. 6-7. Конфігурації мережі, яких слід уникати: і OFF (ліворуч), і обидва ON (праворуч).

2. Практична частина

Завдання.

1. Спроекувати топологію двоходового логічного елемента AND.
2. Спроекувати топологію тривходового логічного елемента AND.
3. Спроекувати топологію двоходового логічного елемента OR.
4. Спроекувати топологію двохходового логічного елемента XOR.
5. Спроекувати топологію двоходового логічного елемента NOT.
6. Спроекувати топологію тривходового логічного елемента NOT.

Запитання.

1. Які типи шарів використовуються для проектування логічних елементів в MicroWind.
2. Які особливості проектування логічних елементів з мінімальною площею.
3. Які особливості проектування логічних елементів з регулярною структурою для мультиплікації.

Лабораторна робота №7

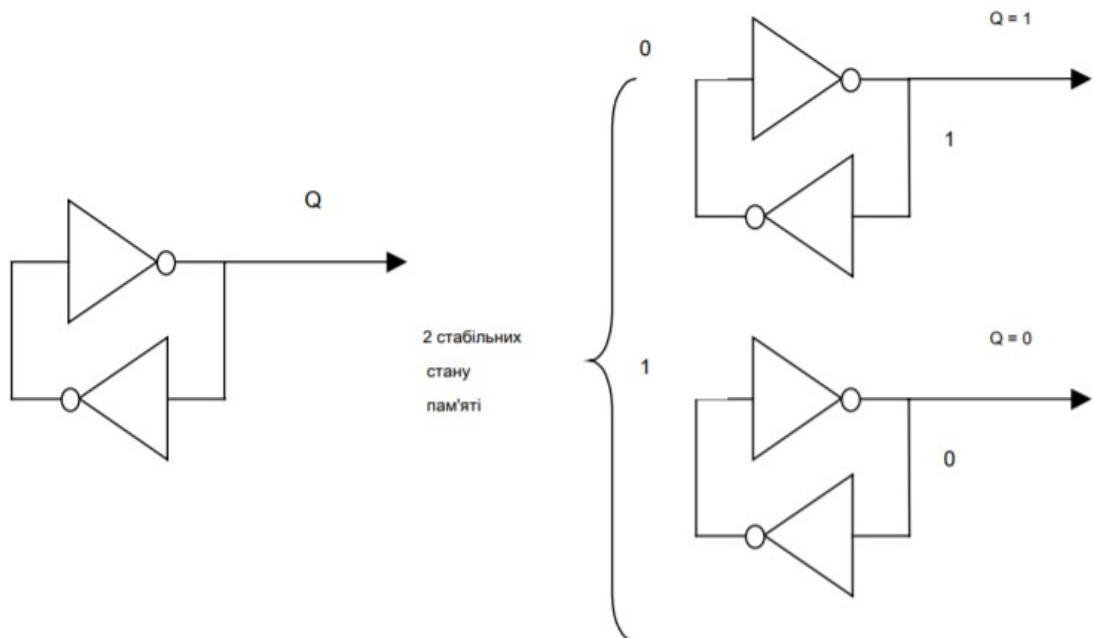
RS тригер

Мета: Навчитися проектувати комірки з пам'яттю.

1. Теоретичні відомості

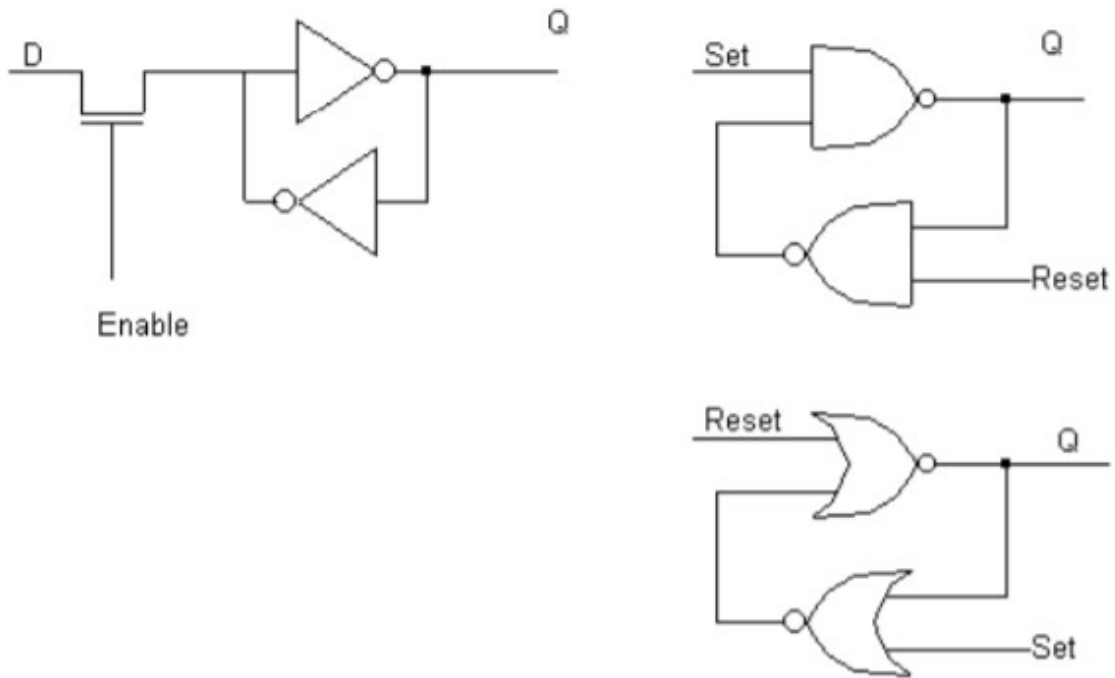
Елементарна засувка

Комбінаційні схеми здатні додавати, множити, змінювати тощо. Однак комбінаційні схеми не можуть зберігати та зберігати значення. Основою для зберігання елементарного бінарного значення називається заціпка. Найпростіша схема CMOS виготовляється з 2 інверторів.



Малюнок 8-1: Елементарна комірка пам'яті на основі циклу інвертора

Існує кілька методик для зміни даних всередині циклу. Одне рішення полягає у додаванні прохідного транзистора та переконайтесь, що інформація, що надходить з D, перемагає інформацію, збережену інвертором зворотного зв'язку. Інше рішення засноване на воротах NAND, які широко використовуються в структурах RS і D-заціпок. Встановити і Скидання сигнали активні низькі. Аналогічна конструкція на основі воріт NOR також показана на малюнку 8-2. Встановити і Скидання сигнали активно в цьому ланцюзі.



Малюнок 8-2: Методи зміни вмісту циклу (засувки.SCH)

RS-защівка (тригер)

Защівка RS, яка також називається Reset-SetFlipFlop (RS FF), перетворює імпульс у безперервний стан. Засувка RS може складатися з двох з'єднаних між собою воріт NAND, як показано на малюнку 8-3. У таблиці істинності ми бачимо, що Скидання і Встановити входи активні низькі. Стан пам'яті відповідає Скинути = Встановити = 1. Поєднання Скидання = Встановити = 0 не слід використовувати, оскільки це означає не слід використовувати Q повинні бути скинуті та встановлені одночасно. В цьому випадку, $Q = \bar{Q} = 1$.

RS засувка (NAND) R

	S	Q	nQ
0	0	1	1
0	1	0	1
1	0	1	0
1	1	Q	nQ

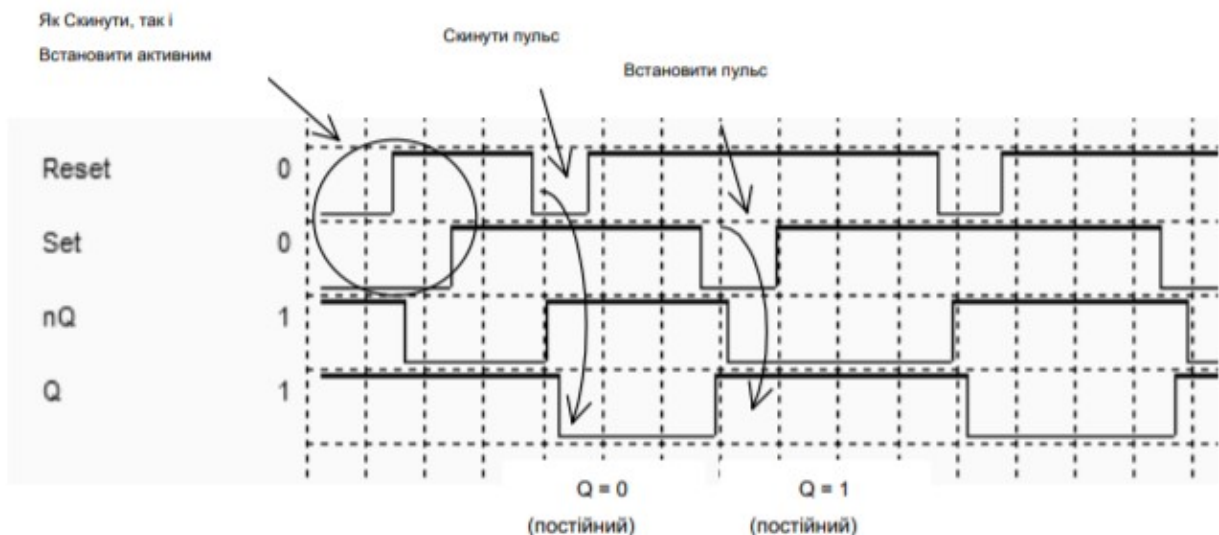
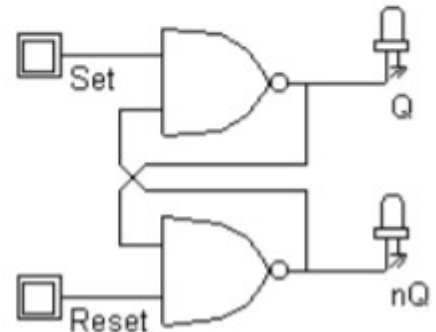
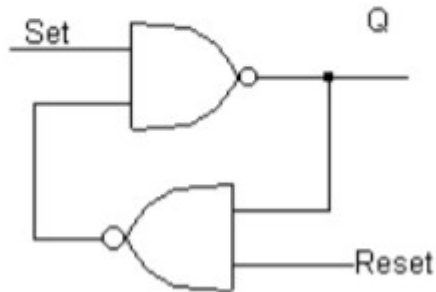
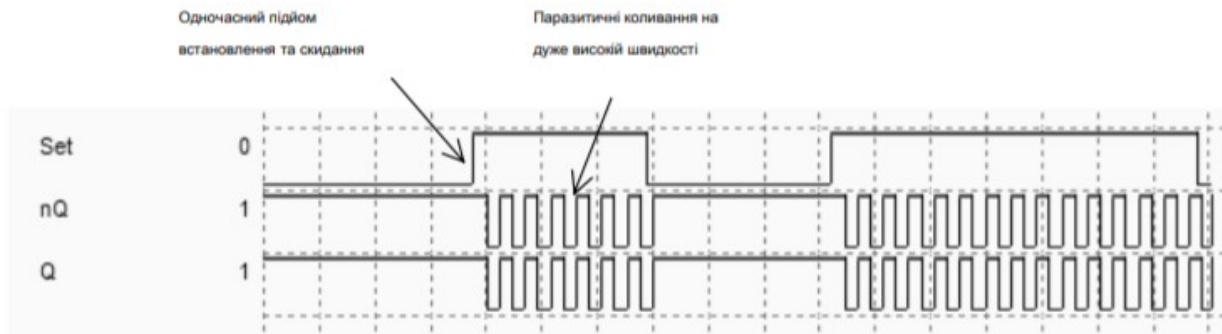
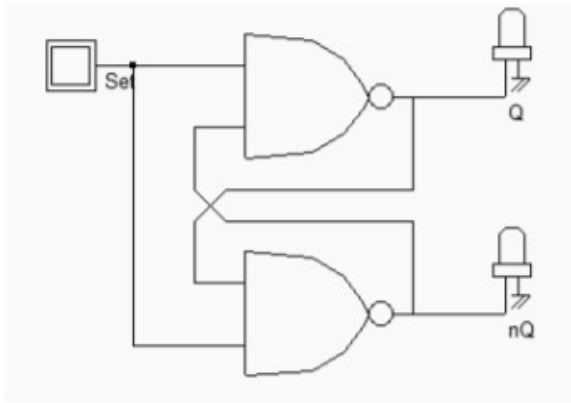


Рисунок 8-3: Засувка RS-NAND та її типова форма сигналу моделювання (RSNand.SCH)

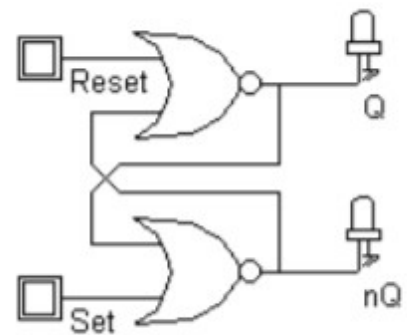
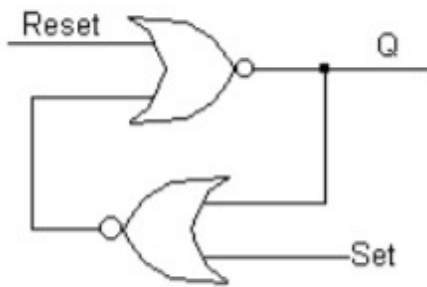
Одновременна зміна від Скидання = Встановити = 0 до Скинути = Встановити = 1 (Малюнок 8.4) провокує те, що називається метастабільним станом, що відповідає високочастотним коливанням. Метастабільність відображається в хронограмах фігури 8-4 при одночасному підйомі Встановити і Скидання. На рівні компонування паразитичних коливань не існує, але може спостерігатися ефект паразитарної затримки до 2 або 3 разів перевищує номінальну затримку затвора.



Малюнок 8-4: Ілюстрація метастабільності на логічному рівні (LatchMetaStable.SCH)

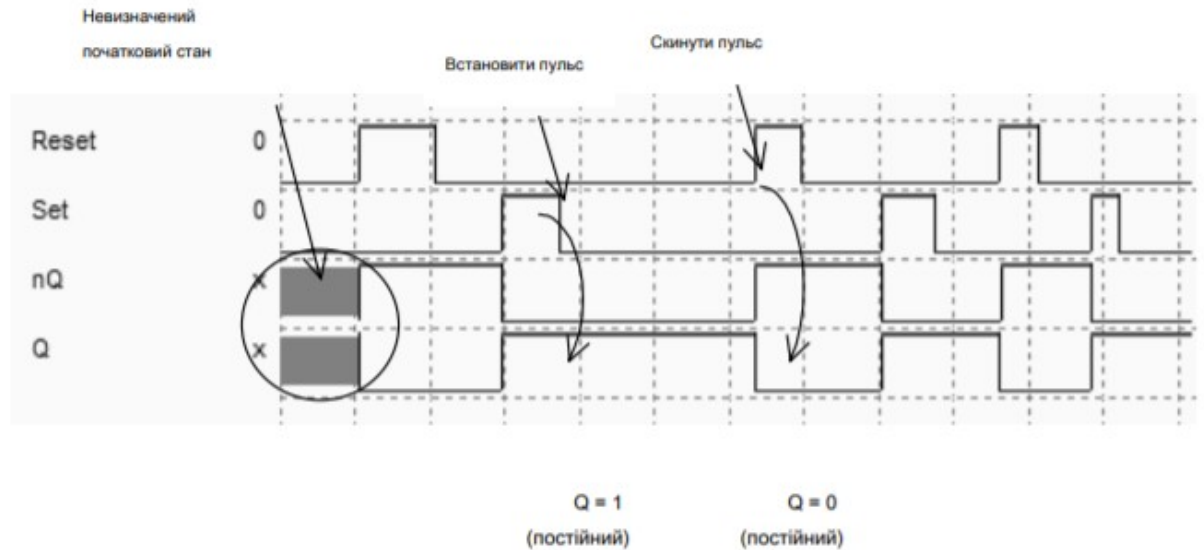
RS засувка (NOR) R

	S	Q	nQ
0	0	Q	nQ
0	1	1	0
1	0	0	1
1	1	0	0



Малюнок 8-5. Таблиця правдивості і принципова схема засувки RS-NOR (RsNor.SCH)

Альтернативна реалізація засувки RS виконана з воріт NOR (мал. 8-5). У цьому випадку Скидання і Встановити входи активні великі. Клітина перетворює позитивні імпульси в безперервні стани, як видно з хронограм на рисунку 8-6.



Малюнок. 8-6. Типове моделювання засувки RS-NOR (RsNor.SCH)

2. Практична частина

Завдання.

1. Спроекувати топологію RS-тригера.
2. Дослідити часові характеристики RS-тригера у MultiSim і MicroWind.
3. Спроекувати топологію двох послідовно з'єднаних RS-тригерів.
4. Спроекувати топологію двох паралельно з'єднаних RS-тригерів
5. Спроекувати топологію RS-тригера з використанням інвертора.
6. Спроекувати топологію RS-тригера з використанням логічного елемента AND.

Запитання.

1. Чим відрізняються схеми з пам'яттю від комбінаційних схем.
2. Намалювати таблицю істинності RS-тригера.
3. Намалювати часову діаграму роботи RS-тригера.

Лабораторна робота №8

Програмовані масиви затворів

Мета: Вивчити архітектуру програмованих масивів затворів

1. Теоретичні відомості

1.1. Вступ

Польові програмовані масиви воріт (FPGA) - це специфічні інтегральні схеми, які легко запрограмувати користувач. FPGA містить універсальні функції, налаштовані взаємозв'язки та інтерфейс введення / виведення для адаптації до специфікації користувача. FPGA дозволяють швидко прототипувати, використовуючи власні логічні структури, і дуже популярні для обмеженого виробництва. Сучасні FPGA надзвичайно щільні, складність яких складає кілька мільйонів воріт, що дозволяє емуляції дуже складних апаратних засобів, таких як паралельні мікропроцесори, суміш процесора та обробки сигналів тощо. створити зовсім інше обладнання, змінивши масив логічних воріт. Звичайна структура FPGA наведена на рисунку 9-1.

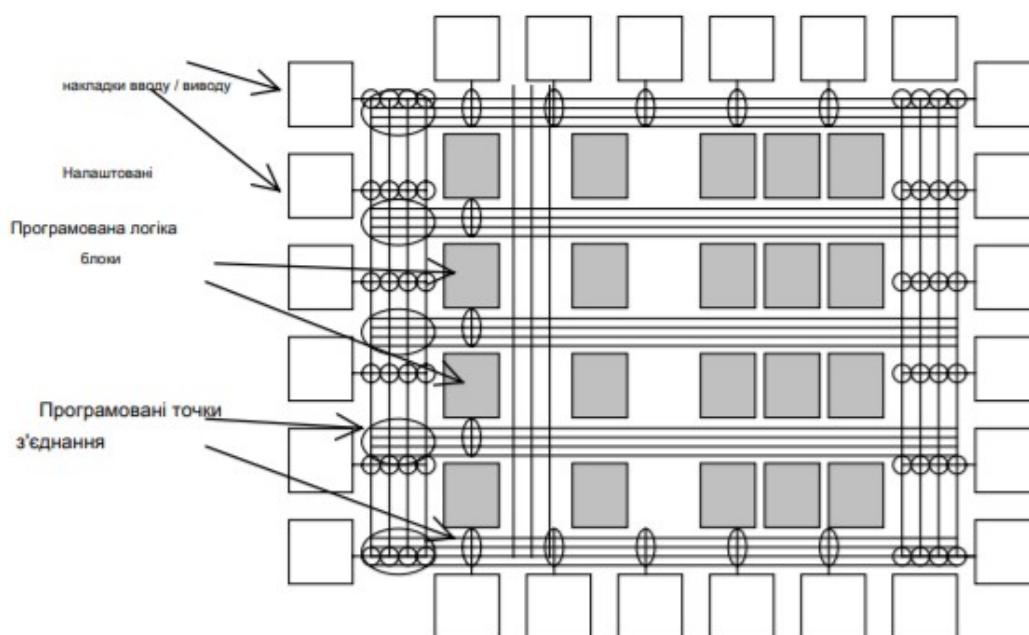
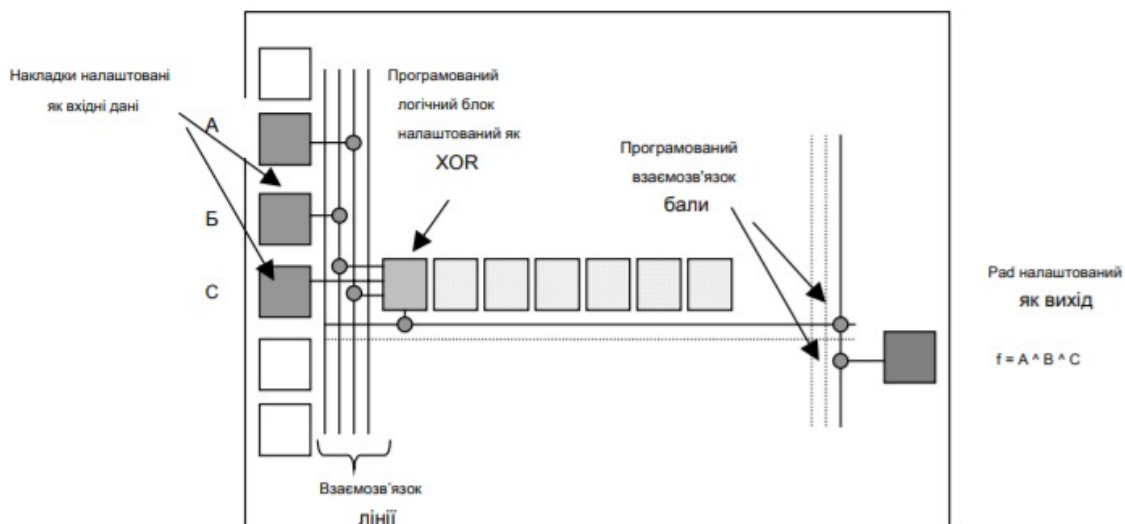
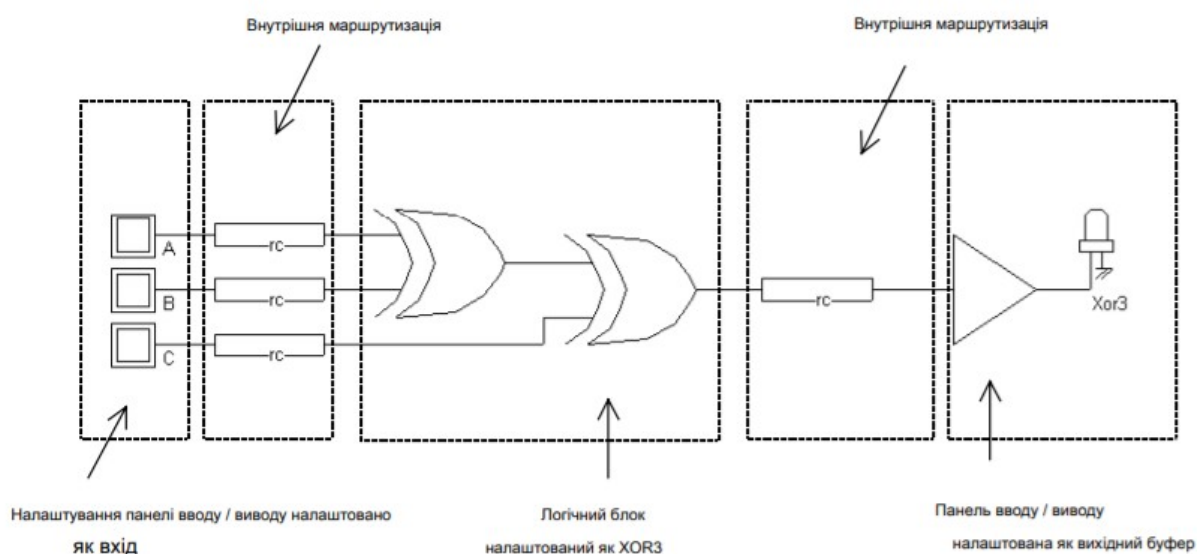


Рисунок 9-1: Основна структура масиву польових програмованих воріт

Один приклад дуже простої функції (3-вхідний XOR), реалізованої в FPGA, наведено на рисунку 9-2. Три вкладки зліва налаштовані як входи, один логічний блок використовується для створення 3-вхідного XOR, а одна колодка праворуч використовується як вихід. Поширення сигналів обробляється міжмежними лініями, з'єднаними між собою в конкретних програмованих точках взаємозв'язку.



Малюнок 9-2: Використання полевого програмованого масиву воріт для побудови 3-вхідного XOR-шлюзу

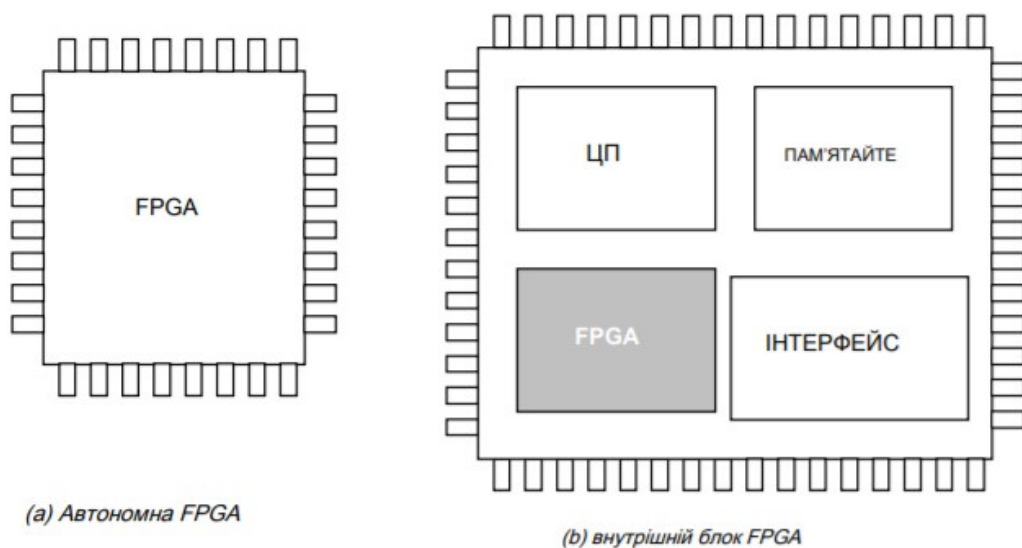


Малюнок 9-3: Еквівалентна схема для FPGA, сконфігурована в шлюзі XOR3

Три колодки налаштовані як входи і представляють логічну інформацію А, В і С (мал. 9-3). Внутрішній шлях маршрутизації створюється для встановлення електричного зв'язку між областю вводу / виводу та логічним блоком. Всередині логічний блок може бути налаштований у будь-якій комбінації послідовних базових функцій. Кожен логічний блок зазвичай підтримує від 3 до 8 логічних входів. У нашому прикладі блок налаштований як 3-вхідний XOR. Потім інші внутрішні дроти маршрутизації конфігуруються для того, щоб подати сигнал на вкладку вводу / виводу, сконфігуровану як вихід. Загальна затримка розповсюдження такої архітектури, очевидно, дуже велика, якщо порівнювати з 3-вхідними воротами XOR, які можуть бути знайдені в бібліотеці комірок. Зазвичай це ціна, яку потрібно заплатити за налаштовані логічні схеми.

Зауважте, що FPGA існують не лише як прості компоненти, але і як макроблоки в конструкціях системи на мікросхемі (мал. 9-4). У випадку систем

зв'язку налаштована логіка може бути динамічно змінена для адаптації до покращеного протоколу зв'язку. Що стосується систем з низькою потужністю, то налаштована логіка може обробляти кілька різних завдань послідовно, а не вбудовувати все відповідне обладнання, яке ніколи не працює паралельно.



Малюнок 9-4: FPGA існують як окремі ІС або блоки всередині системи на мікросхемі

1.2. Настроювані логічні схеми

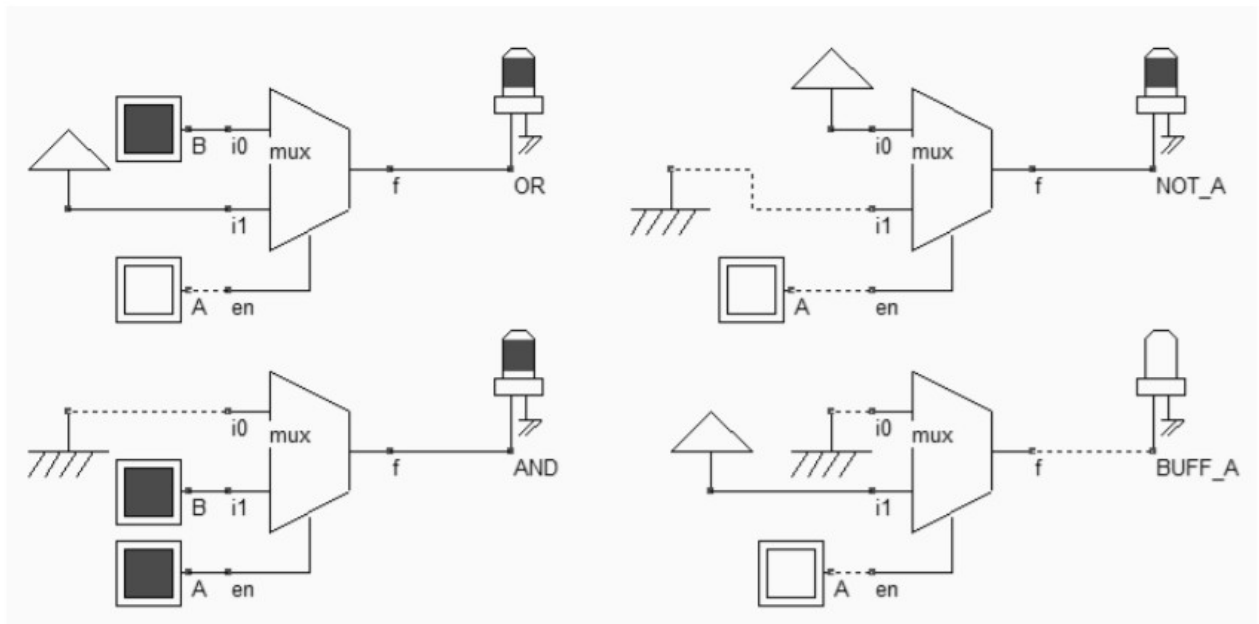
Програмований логічний блок повинен бути в змозі реалізувати всі основні логічні функції, тобто INV, AND, NAND, OR, NOR, XOR, XNOR тощо. Для досягнення цієї мети в галузі FPGA використовується декілька підходів. Перший підхід полягає у використанні мультиплексора, другий у використанні оглядових таблиць.

1.3. Мультиплексори

Дивно, але два вхідні мультиплексори можуть використовуватися як програмований генератор функцій, як показано в таблиці 9-1. Пам'ятайте, що вихід мультиплексора f дорівнює i_0 , якщо $en = 0$, а i_1 , якщо $en = 1$. Наприклад, інвертор створюється, якщо вхід i_0 мультиплексора дорівнює 1, i_1 дорівнює 0, а вклучення підключено до A. У цьому випадку вихід $f = \sim A$. На малюнку 9-5 описано використання мультиплексора для отримання функцій OR, AND, NOT та BUF.

Function	Boolean expression for output f	i_0	i_1	en
BUF (A)	$f=A$	0	A	1
NOT (A)	$f=\sim (A)$	1	0	A
AND (A, B)	$f=A\&B$	0	B	A
OR (A, B)	$f=A B$	B	1	A

Table 9-1: use of multiplexor to build logic functions



Малюнок 9-5: використання мультиплектора для побудови логічних функцій (fpgaMux.SCH)

Хоча НЕ, І АБО безпосередньо доступні, інші функції, такі як NAND, NOR і XOR, не можуть бути побудовані безпосередньо за допомогою одного 2-вхідного мультиплектора, але потребують щонайменше двох мультиплексорних схем.

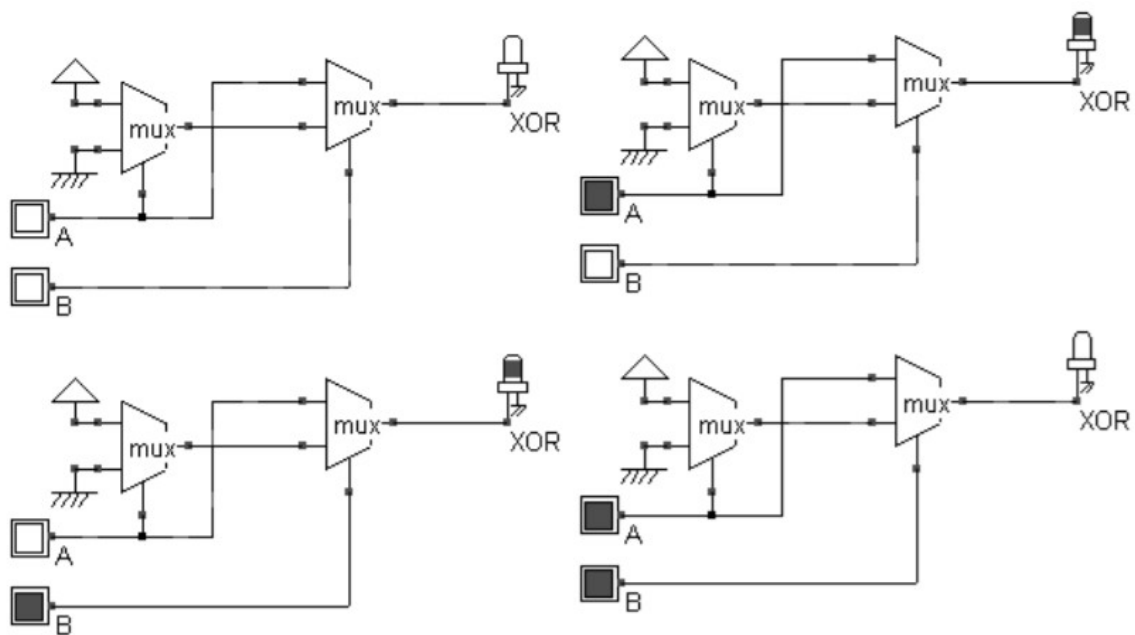
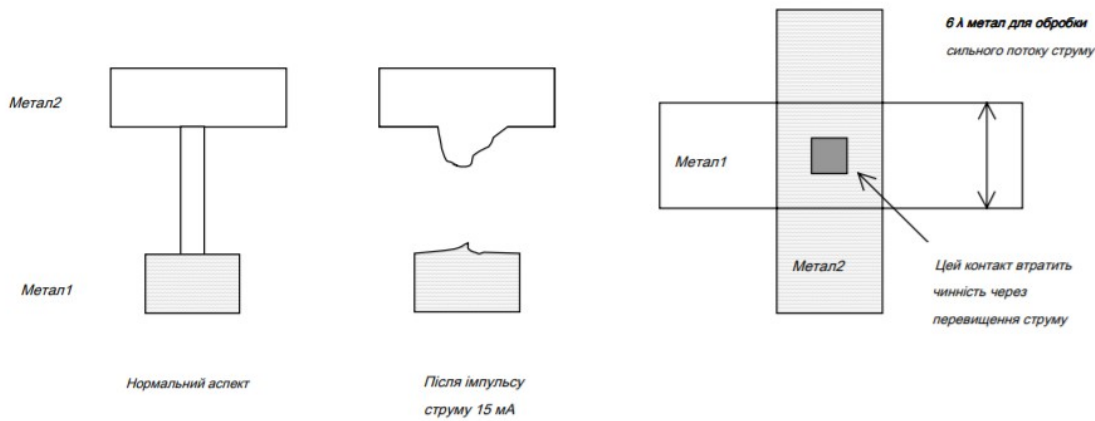


Рисунок 9-6: Затвор XOR, побудований з двох мультиплексорних схем (fpgaMux.SCH)

Функція XOR показана на малюнку 9-6. Для 4-вхідних воріт XOR потрібно 6 комірок мультиплектора. Пам'ятайте, що кожна комірка мультиплектора складається щонайменше з 6 транзисторів для буферного виходу та має 3 ступені затримки (Два інвертора та транзистор проходження). Реалізація XOR4 містила б загалом 18 етапів затримки, що є надто важливим. Тому мультиплексорний підхід не дуже ефективний для багатьох логічних функцій.

1.4. Запобіжник і антизапобіжник

Для збереження конфігурації навіть без джерела живлення необхідно використовувати енергонезалежні пам'яті. Одноразовим програмуванням енергонезалежної пам'яті є запобіжник [Шарма] [Уйемура]. Зазвичай контакт між шарами металу використовується як запобіжник, оскільки надмірний струм може підірвати його структуру, як показано на малюнку 9-11. Хоча ця методика спричинює серйозні пошкодження, близькі до контакту, не потрібен конкретний технологічний шар, оскільки це сумісний з CMOS підхід



Малюнок 9-11 Контактний запобіжник

Драйвер з великою шириною каналу (Декілька мкм), що подається найвищою доступною напругою (VDDH), виконує привід дуже сильного імпульсу струму. Принципова схема схеми запобіжника показана на малюнку 9-12. Коли команда Ударний запобіжник є активним, і пристрої nMOS, і PMOS увімкнено, що призводить до струму короткого замикання. Цей струм повинен бути вище 15 мА, щоб знищити контакт.

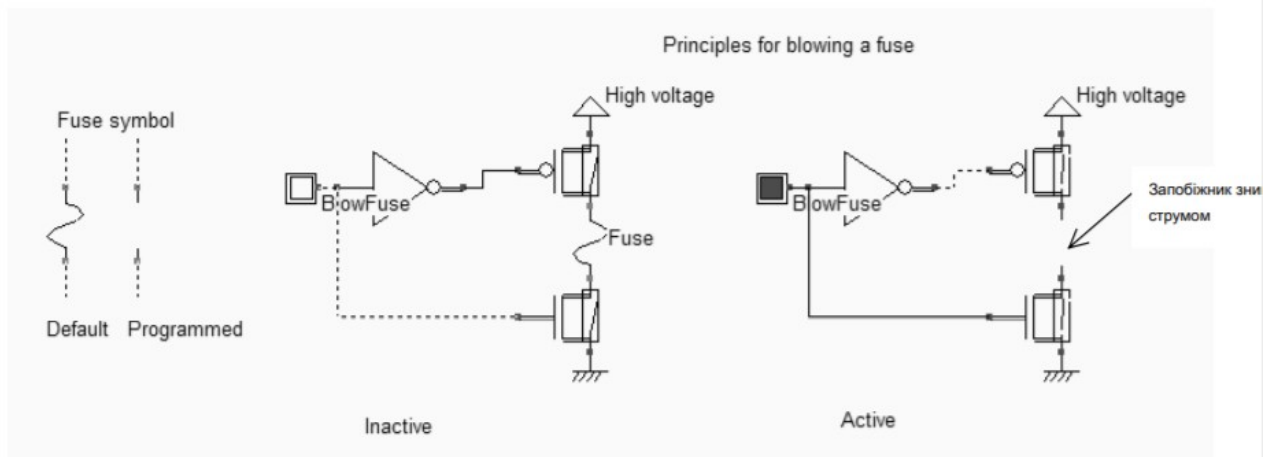
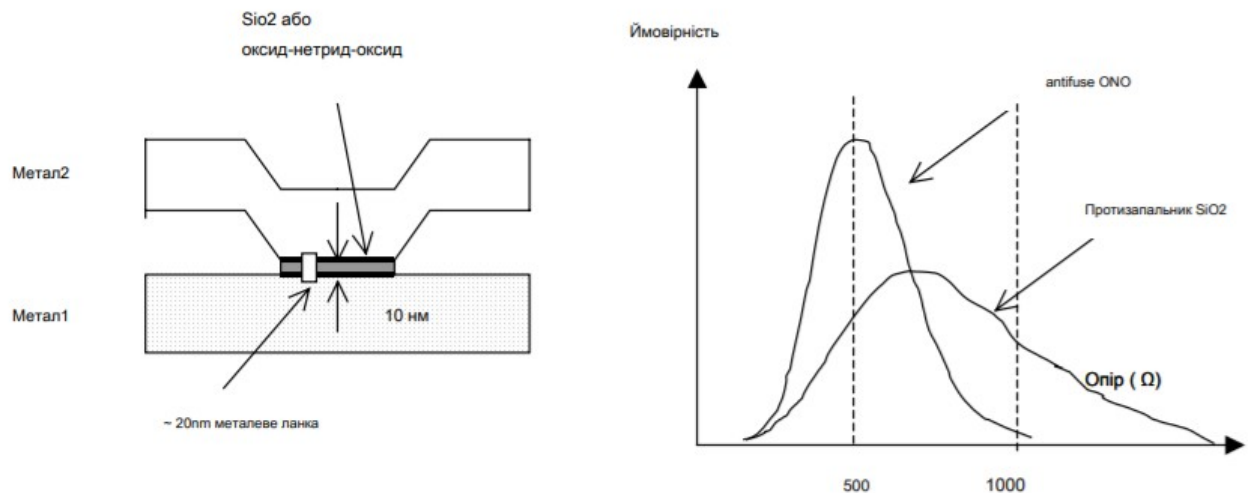


Рисунок 9-12: Програмування ланцюга запобіжників (FuseCircuits.SCH)

На відміну від запобіжника, нормальний стан запобіжника повинен відкриватися. У прикладі, показаному на малюнку 9-13, тонкий ізолятор перериває контакт між металом1 і металом2. Дуже висока напруга, прикладена між металом1 та металом2 (як правило, 10В), розбиває оксид і проковує

провідний шлях між шарами металу. Використання дуже високої напруги на мікросхемі вимагає ретельного використання високовольтних МОП та конкретних колодок вводу / виводу, щоб гарантувати, що жодна частина ланцюга не пошкоджена.

Інша популярна структура, яка називається ONO (Оксид, нітрид, оксид), веде до резистивного шляху при програмуванні. Типове значення опору - 500 Ом. Статистично, поширення опору набагато більше для SiO₂, ніж для запобіжника ONO [Smith], що робить запобіжник ONO більш привабливим, ціною додаткових кроків процесу.



Малюнок 9-13: принципи противитравлення та порівняльний коефіцієнт опору для ONO та SiO₂

Для апаратного програмування масиву FPGA використовуються інші типи енергонезалежних пам'яті: EEPROM та FRAM. Ці спогади не змінюються при відключенні живлення і можуть бути запрограмовані багато разів. Ці типи комірок пам'яті детально описані в главі 10.

3. Практична частина

Завдання.

1. Намалювати основну структурну схему FPGA.
2. Намалювати структуру комутаційного блоку FPGA
3. Намалювати структуру логічного блоку FPGA
4. Намалювати структуру точки комутації.

Запитання.

1. Яка основна структура FPGA.
2. Які типи блоків використовуються в FPGA.
3. Яке призначення комутаційних блоків.
4. Яке призначення логічних блоків.
5. Що таке програмована точка з'єднання.
6. Використання мультиплексорів для комутації шин у точках з'єднання.

Лабораторна робота №10

Інтегральні резистивні елементи

Мета: Вивчення властивостей інтегральних резистивних елементів

1. Теоретичні відомості

Ефективний за площею резистор, доступний у процесі CMOS, складається із смуги полісиліцію [Гастінг]. Опір між s1 і s2, як правило, рахується в дуже зручній одиниці, що називається "ом на квадрат", відзначається Ω / \square . За замовчуванням полісиліконовий опір на квадрат дорівнює 10 Ом, що є досить малим, але зростає до 200 Ом, якщо видалити саліцидний матеріал (мал. 11-1).

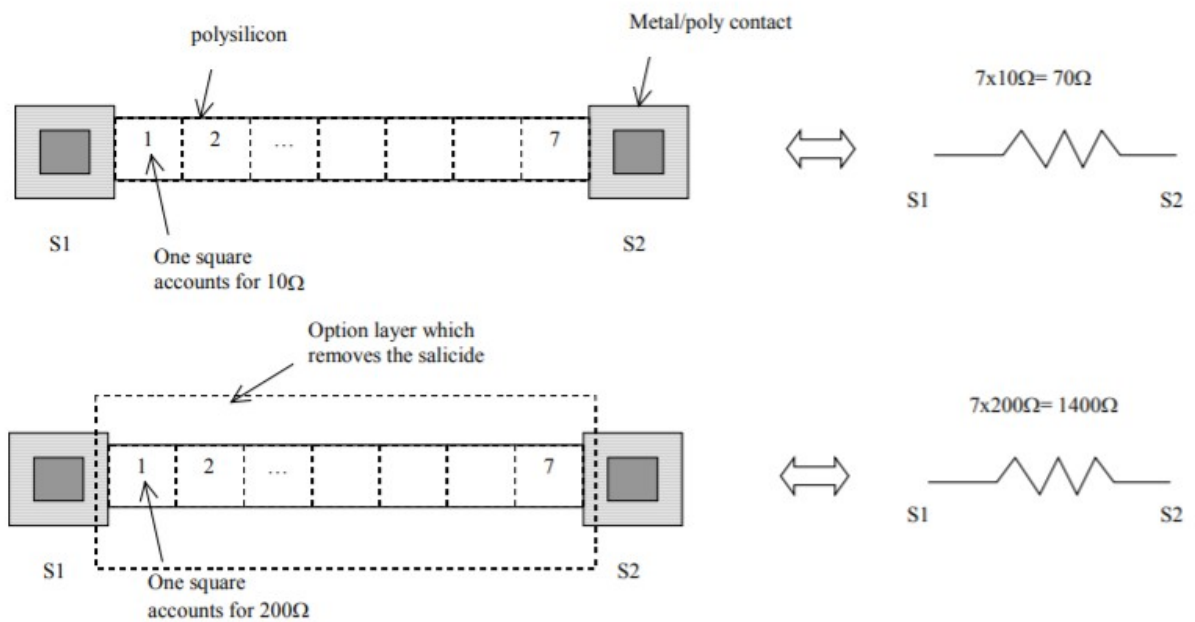


Figure 11-1 : The polysilicon resistance with unsalicide option

У поперечному перерізі, показаному на малюнку 11-2, саліцидний матеріал, нанесений на верхню межу між полісиліконом та оксидом, створює металевий шлях для струму, який різко знизив опір. Зверніть увагу на дрібну ізоляцію траншеї та навколишній оксид, які ізолюють резистор від підкладки та інших провідників, що забезпечує зміщення високої напруги (до 100 В). Однак

оксид є поганим теплопровідником, який обмежує розсіювання потужності полісиліконового резистора.

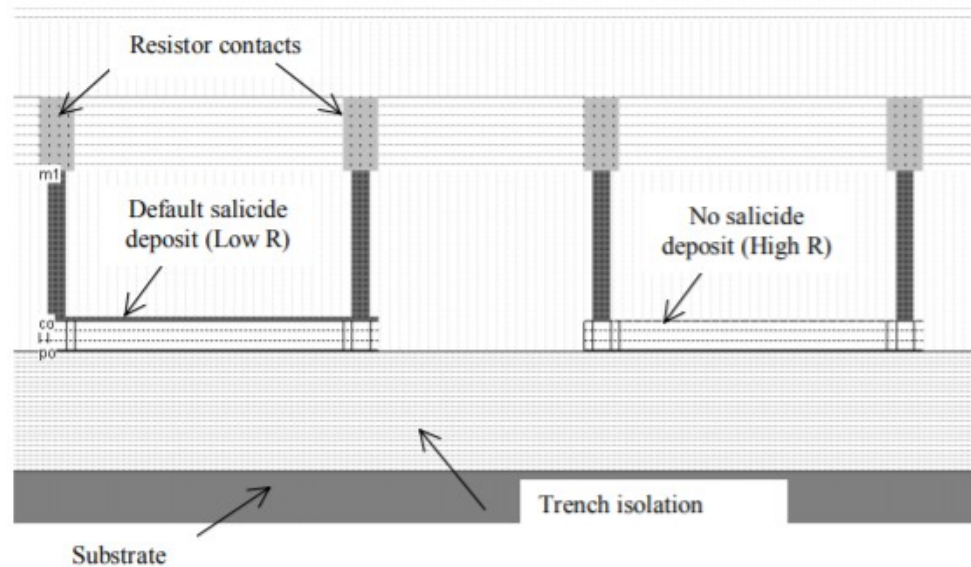
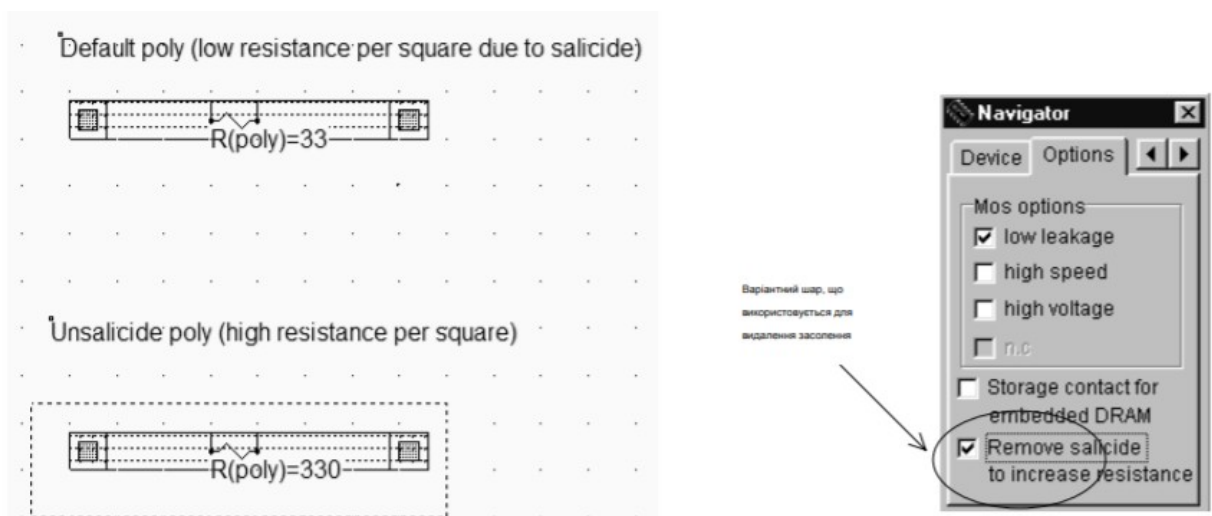


Figure 11-2 : Removing the salicide material to increase the sheet resistance (ResPoly.MSK)

Саліцид є частиною процесу за замовчуванням і присутній на поверхні всіх полісиліконових областей. Однак його можна видалити завдяки шару опцій, запрограмованому подвійним клацанням у вікні шару опціону, та галочкою "Видалити саліцид". У прикладі, показаному на рисунку 11-3, опір за замовчуванням дорівнює 76 Ω , а опір несайцидальному зростанню підвищується до 760 Ω .



Малюнок 11-3: Видалення саліцидного матеріалу завдяки опціональному шару

Інші резистори складаються з дифузій N + або P +. Цікавою особливістю дифузійного резистора є можливість поєднання значного значення опору та

діодного ефекту. Як показано на малюнку 11-4, коли V1 йде нижче 0В, діод Psubstrate / N + включається і створюється шлях до землі. Пам'ятайте, що P-підкладка зазвичай розглядається як загальна основна орієнтир. Дифузійний резистор використовується в пристроях захисту вводу / виходу, описаних у главі 13. Команда Довідка → Правила дизайну надає доступ до квадратного опору та несаміцидного опір квадрата всіх матеріалів, як повідомляється на малюнку 11-4.

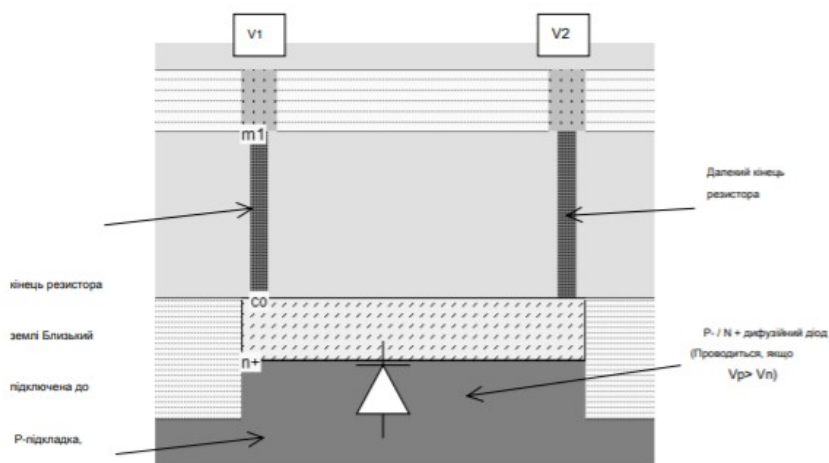


Рисунок 11-4: Дифузійний резистор поєднує ефект опору та діод (ResDiff.MSK)

Design rules for CMOS 0.12µm - 6 Metal

Design rules and electrical parameters

Layer	Width	Spacing	Surface	Surf capa	Lin capa	Ctk capa	Res	Unsalicid	Thickn	Height	Permitt
	lambda	lambda	lambda2	af/µm2	af/µm	af/µm	ohm	ohm	µm	µm	
via3	2	4	0				2.00/via		0.50	3.30	4.00
metal3	3	4	16	160.00		30.00	0.05/sq	1.00/sq	0.40	2.90	3.10
via2	2	4	0				2.00/via		0.50	2.40	4.00
metal2	3	4	16	180.00		30.00	0.05/sq	1.00/sq	0.40	2.00	3.10
via	2	4	0				2.00/via		0.50	1.50	4.00
metal	3	4	16	200.00		30.00	0.05/sq	1.00/sq	0.40	1.10	3.10
poly	2	3	16				4.00/sq	40.00/sq	0.20		
poly2	2	2	8				4.00/sq	40.00/sq	0.20		
contact	2	4	0				20.00/via		1.10	0.00	4.00
diffn	4	4	16	350.00	100.00		25.00/sq	250.00/sq	0.40	0.00	4.00
diffp	4	4	16	300.00	100.00		30.00/sq	300.00/sq	0.40	0.00	4.00
nwell	10	11	144	250.00			120.00/sq		1.00	0.00	4.00

Опір за замовчуванням на квадрат

Опір, якщо не самоубійство

Techno: CMOS 0.12µm - 6 Metal loaded from file "default.rul"

Малюнок 11-5: Параметри опору в CMOS 0,12 мкм

2. Варіації процесу

Відхилення процесу сильно впливають на фізичну величину резистора. Більшість процесів визначають опір квадрата в межах $\pm 25\%$ [Гастінгс]. Це означає, що значення резистора пов'язане зі статистичним розподілом, як правило, між діапазоном min-max, а не точним значенням. Насправді поширення опору зазвичай менше 10% у межах одного інтегрального кола. Однак два різних інтегральних мікросхема можуть виробляти значно різний розподіл опору. На малюнку 11-6 середній опір R_1 , виміряний на випробувальному чіпі $n^\circ 1$, на 5% вище, ніж цільовий опір R_{typ} , а середній опір R_2 на тестовому мікросхемі $n^\circ 2$ на 10% нижче типового значення R_{typ} . У своїх технічних характеристиках виробник інтегральної схеми гарантує лише те, що вимірюваний опір не буде перевищувати $\pm 25\%$ від типового значення R_{typ} .

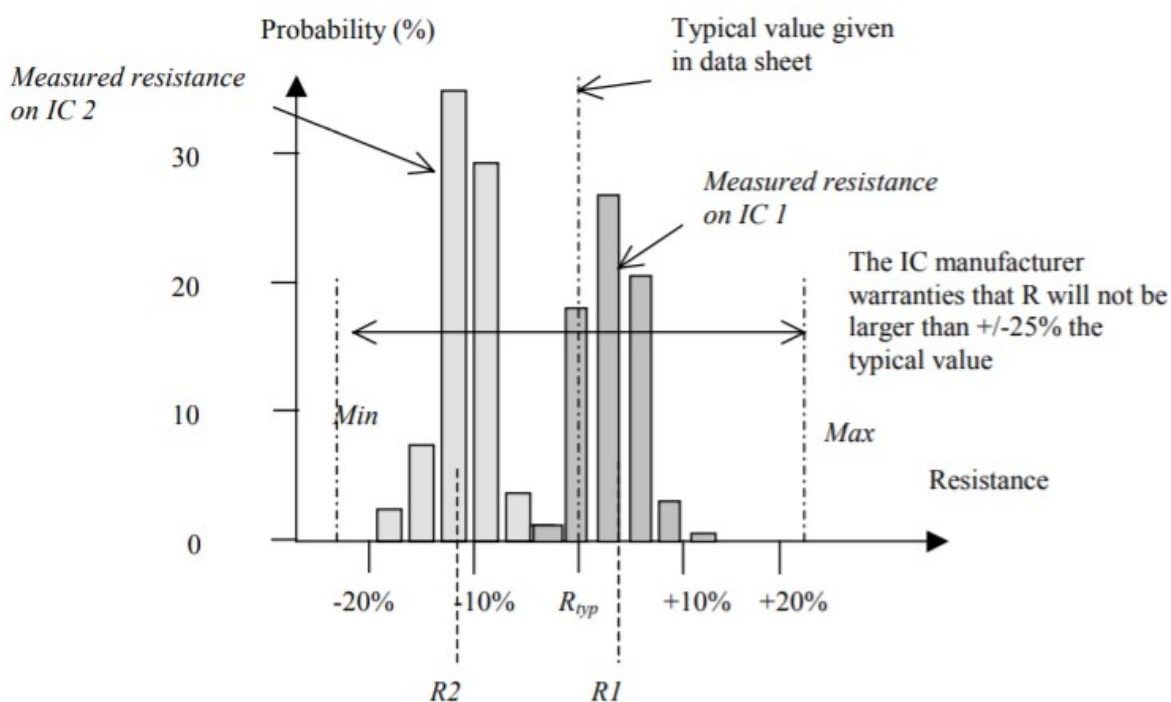


Figure 11-6: The spread in resistance value and the typ/min/max specifications

Завдання.

1. Спроекувати топологію резистивного елемента з використанням полікремнію.

2. Спроекувати топологію резистивного елемента з використанням дифузії шару n-типу.

3. Спроекувати топологію резистивного елемента з використанням дифузії шару p-типу.

Запитання.

1. Який діапазон значень опорів маж резистивний елемент з полі кремнію.

2. Який діапазон значень опорів маж резистивний елемент з дифузії шару n-типу.

3. 2. Який діапазон значень опорів маж резистивний елемент з дифузії шару p-типу.